

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 4 日
Date of Application:

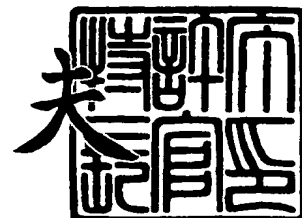
出 願 番 号 特 願 2 0 0 3 - 1 1 9 9 7 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 9 9 7 2]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 4 年 3 月 9 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2022550127

【提出日】 平成15年 4月24日

【あて先】 特許庁長官殿

【国際特許分類】 H04R 3/04

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 加藤 直行

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

 【氏名】 熊本 義則

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100097445

 【弁理士】

 【氏名又は名称】 岩橋 文雄

【選任した代理人】

 【識別番号】 100103355

 【弁理士】

 【氏名又は名称】 坂口 智康

【選任した代理人】

 【識別番号】 100109667

 【弁理士】

 【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 倍音生成方法および倍音生成装置

【特許請求の範囲】

【請求項 1】 入力信号に対しその倍音を生成する倍音生成方法であって、
前記入力信号に対しダウンサンプリングを行った後にバッファメモリに格納し、
前記バッファメモリから読み出した信号についてアップサンプリングを行い、
前記アップサンプリングされた信号に対し、時間軸圧縮操作により倍音を生成することを特徴とする倍音生成方法。

【請求項 2】 入力信号に対し、周波数が k 倍 (k は自然数) の倍音を生成する倍音生成方法であって、
長さ M (M は自然数) の前記入力信号に対しダウンサンプリングを行った後にバッファメモリに格納し、
前記バッファメモリから読み出した信号について、アップサンプリングを行い、長さ $M \times k$ の信号を取り出し、
前記アップサンプリングされた信号に対し、 k サンプルのうち 1 サンプルの割合で信号を取り出すことにより、長さ M の倍音を生成することを特徴とする倍音生成方法。

【請求項 3】 入力信号に対し、周波数が k 倍 (k は自然数) の倍音を生成する倍音生成方法であって、
前記入力信号に対しダウンサンプリングを行った後に、書き込みアドレスの更新速度 p (p は自然数) でバッファメモリに格納し、
前記バッファメモリから、読み出しアドレスの更新速度が $p \times k$ で読み出した信号について、 k サンプルのうち 1 サンプルの割合でアップサンプリングを行うことにより、倍音を生成することを特徴とする倍音生成方法。

【請求項 4】 入力信号に対しその倍音を生成する倍音生成装置であって、
前記入力信号に対し間引き処理を行うダウンサンプリング手段と、
定められた信号に対し、ゼロクロス点を検出するゼロクロス検出手段と、
前記ダウンサンプリング手段の出力信号を格納するバッファメモリと、

前記ゼロクロス検出手段が検出したゼロクロス点の情報と、生成する倍音の倍率に基づき、前記バッファメモリからの読み出しアドレスを設定するアドレス管理手段と、

前記バッファメモリからの出力信号に関し、信号の補間処理を行うアップサンプリング手段と、

前記アップサンプリング手段の出力信号に対し、生成する倍音の次数に応じ、間引き処理を行い、出力信号を生成する間引き手段とを具備し、

前記ゼロクロス検出手段において、ゼロクロス点を検出する対象となる前記定められた信号が、前記ダウンサンプリング手段への入力信号、あるいは前記バッファメモリに記憶された信号、あるいは前記バッファメモリへの入力信号、あるいは前記バッファメモリからの出力信号、あるいは前記アップサンプリング手段からの出力信号、あるいは前記間引き手段の出力信号のいずれかであることを特徴とする倍音生成装置。

【請求項5】 入力信号に対しその倍音を生成する倍音生成装置であって、

前記入力信号に対し間引き処理を行うダウンサンプリング手段と、

定められた信号に対し、ゼロクロス点を検出するゼロクロス検出手段と、

前記ダウンサンプリング手段の出力信号を格納するバッファメモリと、

前記ゼロクロス検出手段が検出したゼロクロス点の情報と、生成する倍音の次数に基づき、前記バッファメモリからの読み出しアドレスを設定するアドレス管理手段と、

前記アドレス管理手段からの読み出しアドレスの情報からアップサンプリングで用いるフィルタの係数を選択し、前記バッファメモリからの出力信号に関し、信号の補間処理と倍音の生成を行い、出力信号を生成するアップサンプリング手段とを具備し、

前記ゼロクロス検出手段において、ゼロクロス点を検出する対象となる前記定められた信号が、前記ダウンサンプリング手段への入力信号、あるいは前記バッファメモリに記憶された信号、あるいは前記バッファメモリへの入力信号、あるいは前記バッファメモリからの出力信号、あるいは前記アップサンプリング手段からの出力信号のいずれかであることを特徴とする倍音生成装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、低音域の成分に関する倍音を生成する倍音生成方法および倍音生成装置に係る。

【0002】**【従来の技術】**

従来より、様々な目的で、原音の整数倍の周波数成分、すなわち倍音を生成する倍音生成装置を含んだ音響信号装置が各種提案されている。

【0003】

例えば、小型スピーカで生成不可能な低音域の成分の倍音を生成し、バーチャルピッチ効果を利用して低音感向上を図る音響信号処理装置が知られている。

【0004】

倍音生成装置に関連して、原音の周波数を変換する周波数変換装置が各種知られている。倍音生成とは、周波数変換における周波数変換率を2以上の整数倍に限定したものと考えてよい。

【0005】

周波数変換は、時間軸圧縮操作により行う。例えば、図23で示すように、時間長 t_1 の信号（図23（a））を、それより短い時間長 t_2 で再生することで、周波数を (t_1 / t_2) 倍に上げることができる（図23（b））。

【0006】

図24は、従来例として、特許文献1に記載されている周波数変換装置のブロック線図を示したものである。

【0007】

この周波数変換装置は、バッファメモリとしての役割を有するRAMに対する読み出しと書き込み速度の制御、すなわち、RAMへの書き込みよりも速い速度で信号をRAMから読み出すことにより、時間軸圧縮操作を行っており、これにより入力信号の周波数を上げている。ただし、このような操作は必然的に再生時間の変化を伴う。通常は、読み出しアドレスを適時再設定することで、再生時間

の変化を補正する。

【0008】

図24において、読み出しアドレスカウンタ2415と書き出しアドレスカウンタ2416は、それぞれ、RAMからのデータの読み出しアドレスとRAMへの書き出しアドレスを与えると共に、そのアドレスの更新速度を制御する。

【0009】

ゼロクロス検出回路2413は、RAMに格納された信号に対するゼロクロス点を検出する。その結果は、前述した読み出しアドレスの再設定動作に反映される。

【0010】

すなわち、図25(a)で示すように、ゼロクロス検出回路より検出したゼロクロス点と、仮決めした再設定アドレスA1、B1のずれを計算し、A1からA2に、B1からB2に再設定アドレスの補正を行う。これにより、図25(b)に示すように、アドレス再設定時の信号接続を滑らかに行う。

【0011】

【特許文献1】

特開昭60-35795号公報

【0012】

【発明が解決しようとする課題】

従来の技術で説明したように、従来の倍音生成装置では、対象とする信号に関して、ゼロクロス区間を超える信号データを格納するだけのバッファメモリの容量が必要となる。しかしながら、本技術の処理対象としている低域成分は波長が長いので、ゼロクロス区間も長くなり、そのため、バッファメモリの容量が莫大なものになり、コストが高くなる課題が存在した。

【0013】

本発明は、以上の課題を鑑みなされたもので、ゼロクロス区間の信号を一時保存するためのバッファメモリの容量を削減した倍音生成方法および倍音生成装置を提供することを目的とするものである。

【0014】

【課題を解決するための手段】

第1の発明は、入力信号に対しその倍音を生成する倍音生成方法であって、前記入力信号に対しダウンサンプリングを行った後にバッファメモリに格納し

、前記バッファメモリから読み出した信号についてアップサンプリングを行い、前記アップサンプリングされた信号に対し、時間軸圧縮操作あるいは間引き操作により倍音を生成するものである。

【0015】

これにより、信号をダウンサンプリングされた状態でバッファメモリに格納するため、必要となるバッファメモリの容量を削減できる。

【0016】

第2の発明は、入力信号に対し、周波数が k 倍（ k は自然数）の倍音を生成する倍音生成方法であって、

前記入力信号に対しダウンサンプリングを行った後に、書き込みアドレスの更新速度 p （ p は自然数）でバッファメモリに格納し、

前記バッファメモリから、読み出しアドレスの更新速度が $p \times k$ で読み出した信号について、 k サンプルのうち1サンプルの割合でアップサンプリングを行うことにより、倍音を生成することを特徴とするものである。

【0017】

これにより、信号をダウンサンプリングされた状態でバッファメモリに格納するため、必要となるバッファメモリの容量を削減できる。また、 k サンプルのうち1サンプルの割合でアップサンプリングを行うことで、不要なサンプルのアップサンプリング操作を省かれるため、演算量を削減できる。

【0018】

第3の発明は、入力信号に対しその倍音を生成する倍音生成装置であって、前記入力信号に対し間引き処理を行うダウンサンプリング手段と、信号系列の処理過程でのいずれか定められた信号に対し、ゼロクロス点を検出するゼロクロス検出手段と、

前記ダウンサンプリング手段の出力信号を格納するバッファメモリと、

前記ゼロクロス検出手段が検出したゼロクロス点の情報と、生成する倍音の次数に基づき、前記バッファメモリからの読み出しアドレスを設定するアドレス管理手段と、

前記アドレス管理手段からの読み出しアドレスの情報からアップサンプリングで用いるフィルタの係数を選択し、前記バッファメモリからの出力信号に関し、信号のアップサンプリングを行うアップサンプリング手段とを具備することを特徴とするものである。

【0019】

これにより、信号をダウサンプリングされた状態でバッファメモリに格納するため、必要となるバッファメモリの容量を削減できる。

【0020】

【発明の実施の形態】

最初に、従来の技術で述べた周波数変換手法を、倍音生成を目的として改良を施した倍音生成方法の原理と、それを適用した倍音生成装置について説明する。

【0021】

まず、整数倍の周波数変換の基本原理について、図2を参照しながら説明する。図2(a)に示すような正弦波に関し、その倍音を生成する例を考える。ゼロクロス点とは、信号が正から負へ、あるいは負から正へ変化する点と定義される。例えば、負から正へのゼロクロス点は、P1、P2、P3となる。第2倍音を生成する場合には、負から正へのゼロクロス点から、次の負から正へのゼロクロス点との区間（以下、ゼロクロス区間と呼ぶことにする）、ゼロクロス区間P1-P2、ゼロクロス区間P2-P3において、波形を時間軸方向について1/2に圧縮し、2回繰り返し再生する。この処理後の信号は、図2(b)に示すように、周波数が2倍の信号になっていることがわかる。

【0022】

同様に、第N倍音は、同ゼロクロス点の区間において、時間軸方向に1/Nに圧縮し、N回繰り返し再生することで生成される。

【0023】

上記原理に基づく基本的な倍音生成装置のブロック線図を図3に示す。従来の

倍音生成装置は、入力信号を受ける入力端子 301、入力端子からの信号を一時格納するバッファメモリ 304、バッファメモリ 304 に格納されている信号、あるいはその入力、あるいはその出力に関し、ゼロクロス点を検出するゼロクロス検出手段 303、ゼロクロス検出手段 303 からの情報に基づき、バッファメモリ 304 からの信号の読み出しアドレスを制御するアドレス管理手段 305、バッファメモリ 304 から読み出された信号、これが目的の倍音となるが、この倍音を外部に出力するための出力端子 308 により構成される。

【0024】

ここで、バッファメモリ 304 の動作を、図 4 を用いて説明する。ここでは、生成する倍音の次数を 2 とし、ブロック処理で 1 ブロックが 8 サンプル単位で処理を行うものとする。

【0025】

バッファメモリ 304 には、図 4 (a) から図 4 (b) に示すように入力信号が 8 サンプル単位で、B1w、B2w、B3w、・・・と順次書き込まれていく。

【0026】

その一方で、図 4 (b) から図 4 (c) のように、一定サンプル遅れて、1 サンプル飛びで、B1r、B2r、B3r、・・・と、8 サンプル単位で読み出される。このように、1 サンプル飛びで読み出された信号データは、図 4 (d) のように、再び元のサンプリング周波数の信号として出力される。これにより入力信号に対し、周波数を 2 倍に変換した信号が得られる。

【0027】

アドレス管理手段 305 では、バッファメモリ 304 における読み出しアドレスの制御を行う。読み出しアドレスがゼロクロス点のアドレスに達した最初の場合には、読み出しアドレスを前回のゼロクロス点に戻し、そこから再度アドレス更新を行う。2 回目の場合には、前回のゼロクロス点に戻ることせずに、そのまま読み出しアドレスを更新する。すなわち、隣接するゼロクロス点の間で 2 回繰り返すことになる。

【0028】

この動作でわかるように、読み出しアドレスの更新速度は、書き込みアドレスの更新速度の2倍である。したがって、読み出しアドレスが書き込みアドレスを追い越すことが無いように、2つのアドレスは所定の間隔を設ける必要がある。

【0029】

(実施の形態1)

以下、図面を参照しながら、本発明の実施の形態1を説明する。

【0030】

まず、本発明の実施の形態1における倍音生成方法について、図1を参照しながら説明する。ここでは、本発明の本質とは直接関係はないゼロクロス点の検出と、それ伴うアドレス管理動作に関しては省略している。

【0031】

図1に示されるように、本実施の形態における倍音生成方法は、入力信号に対しダウンサンプリングを行う処理ステップS11と、ダウンサンプリング後の入力信号をバッファメモリに格納するステップS12と、バッファメモリから信号データを読み出すステップS13と、読み出された信号データに対しアップサンプリングを行う処理ステップS14と、アップサンプリングされた信号に対し時間軸圧縮操作を行う処理ステップS15から成る。

【0032】

さらに、時間軸圧縮についての一例を示した倍音生成方法を、図5を参照しながら説明する。ここでは、周波数が k 倍の倍音を生成するものとする。

【0033】

長さ M の入力信号に対しダウンサンプリングを行う処理ステップS51と、ダウンサンプリング後の入力信号をバッファメモリに格納するステップS52と、バッファメモリから信号データを読み出すステップS53と、読み出された信号データに対しアップサンプリングを行い長さ $M \times k$ の信号を作る処理ステップS54と、 k サンプルのうち1サンプルの割合で信号を取り出すといった間引き操作を行う処理ステップS55から成る。

【0034】

次に、図5と図6を参照しながら、より詳細な動作について説明する。ここで

は数値例として、ステップ S 5 1 でのダウンサンプリング率を $1/4$ 、生成する倍音の次数を 2 とする。また、1 ブロックで 8 サンプル ($M=8$) (入力信号の時点で) まとめて処理を行うブロック処理とする。

【0035】

長さ 8 サンプルの入力信号は、ステップ S 5 1 で $1/4$ にダウンサンプリングされて 2 サンプルとなり (図 6 (a))、ステップ S 5 2 でバッファメモリに (B 1 w、B 2 w、B 3 w、...) のように格納される (図 6 (b))。

【0036】

ステップ S 5 3 ではバッファメモリからは 4 サンプルの信号データが (B 1 w、B 2 w、B 3 w、...) のように読み出される (図 6 (c))。すなわち、バッファメモリからの読み出しアドレスは、バッファメモリへの書き込みアドレスよりも遅れており、単位時間当たりのアドレス更新速度が、書き込みアドレスの 2 倍となっている。

【0037】

ステップ S 5 4 では、この 4 サンプルの信号データに対し、4 倍のアップサンプリングを行う (図 6 (d))。これには、イメージング歪を除去するためのフィルタ処理が含まれている。

【0038】

ステップ S 5 5 では、アップサンプリングされた信号データに対し、2 サンプルのうち 1 サンプルを取り出していく (図 6 (e))。すなわち、出力するサンプルと廃棄するサンプルが交互になる。これにより、元の時間長に戻し、事実上の時間軸圧縮操作を行い、元の信号と同じ長さで、周波数を 2 倍にした信号 (図 6 (f)) が得られる。

【0039】

上記の倍音生成方法によれば、ダウンサンプリングされ、信号のデータ数が減少された状態でバッファメモリに格納することができるので、バッファメモリの容量を削減できる。

【0040】

以上に示した倍音生成方法に基づき、装置として適用した倍音生成装置に関し

て説明する。

【0041】

本発明の実施の形態1における倍音生成装置のブロック線図を図7に示す。実施の形態1における倍音生成装置は、入力端子701、ダウンサンプリング手段702、ゼロクロス検出手段703、バッファメモリ704、アドレス管理手段705、アップサンプリング手段706、間引き手段707、出力端子708から構成されている。

【0042】

入力端子701は、倍音生成装置への入力信号を受ける端子である。

【0043】

ダウンサンプリング手段702は、入力端子701からの入力信号に対し、エイリアス歪の発生を防止するために、周波数帯域を制限するフィルタリングを行い、そして所定の間隔で信号の間引きを行うものである。換言すれば、信号のサンプリング周波数を下げるものである。ここで行うフィルタリングを行うフィルタとして、FIRフィルタを用いても良いし、IIRフィルタを用いても良い。

【0044】

バッファメモリ704は、ダウンサンプリング手段702の出力信号を一旦メモリに格納し、アドレス管理手段705の指示に従って、メモリに格納された信号をアップサンプリング手段706へ出力するものである。

【0045】

ゼロクロス検出手段703は、アップサンプリング手段706からの出力信号に対し、そのゼロクロス点を検出するものである。

【0046】

アドレス管理手段705は、ゼロクロス検出手段703からの情報に基づき、バッファメモリ704からの信号の読み出しアドレスを求め、バッファメモリ704から読み出す出力を制御するものである。

【0047】

アップサンプリング手段706は、バッファメモリ704からの信号を、イメージングによる歪の発生を防止するために、周波数帯域を制限するフィルタリン

グを行い、元のサンプリング周波数に戻し、さらに信号の長さを k 倍 (k は生成する倍音の次数) にするものである。ここで行うフィルタリングを行うフィルタとして、FIR フィルタを用いても良いし、IIR フィルタを用いても良い。ダウンサンプリング手段 702 で用いられるものと同じフィルタでも良い。

【0048】

間引き手段 707 は、アップサンプリング手段 706 からの出力に対し、 k サンプルに 1 回の割合で信号を取り出し、時間軸圧縮を行って周波数を k 倍に上げると共に、信号の長さを元に戻すものである。

【0049】

出力端子 708 は、間引き手段 707 からの出力信号を、外部に出力するものである。

【0050】

次に、図 6 を参照しながら、より詳細な動作について説明する。ここでは数値例として、ダウンサンプリング手段 702 におけるダウンサンプリング率を $1/4$ 、生成する倍音の次数を 2 とする。また、1 ブロックで 8 サンプル (ダウンサンプリング手段 702 での入力時時点) まとめて処理を行うブロック処理とする。また、ゼロクロス検出手段 703 は、アップサンプリング手段 706 の出力に関し、ゼロクロス判定を行うものとする。

【0051】

入力端子 701 からの信号は、ダウンサンプリング手段 702 で $1/4$ にダウンサンプリングされ (図 6 (a))、バッファメモリ 704 に格納される (図 6 (b))。入力信号が 8 サンプルの長さであれば、そのうちの $1/4$ である 2 サンプルのみがバッファメモリ 704 に転送される。

【0052】

ゼロクロス検出手段 703 は、アップサンプリング手段 706 の出力よりゼロクロス点を検出し、それをアドレス管理手段 705 へ伝達する。

【0053】

アドレス管理手段 705 は、受け取ったゼロクロス点の情報より、バッファメモリ 704 からの読み出しアドレスを算出する。バッファメモリ 704 からの読

み出しアドレスは、バッファメモリ 704 への書き込みアドレスよりも遅れている。そして単位時間当たりのアドレス更新速度が、書き込みアドレスの 2 倍となっている。すなわち、バッファメモリ 704 に 2 サンプル書き込まれる毎 (B1w、B2w、B3w、...) に、そのバッファメモリ 704 から 4 サンプル分の信号データが読み出される (B1r、B2r、B3r、...) ことになる (図 6 (c))。

【0054】

なお、読み出しアドレスがゼロクロス点に達した場合、前回のゼロクロス点の読み出しアドレスまで戻り、そこから再度アドレス更新が行われる。すなわち、ゼロクロス区間を 2 回繰り返すことになる。

【0055】

アップサンプリング手段 706 は、バッファメモリ 704 からの出力 (図 6 (c)) について、4 倍のアップサンプリングを行う (図 6 (d))。これには、イメージング歪を除去するためのフィルタ処理が含まれている。

【0056】

ここで、バッファメモリ 704 から読み出され、アップサンプリング手段 706 でフィルタリングされる信号データについて簡単にコメントする。アップサンプリング手段 706 でフィルタリングを行うためには、フィルタ次数に基づく過去の信号データが必要である。これについては、以下の 3 つの方法がある。

【0057】

方式 1

バッファメモリ 704 への読み出しアドレスは、信号データの先頭 (あるいは末尾) のアドレスを示しており、それからアップサンプリング手段 706 におけるフィルタリングに必要な分 (α 個) だけ、連続した信号データをバッファメモリ 704 から読み出す。

【0058】

方式 2

新しい信号データのみ、バッファメモリ 704 から読み出し、他の過去の信号データは、アップサンプリング手段 706 で記録した信号データを用いる。すな

わち、アップサンプリング手段 706 は過去の信号データを保持する手段をも含んでいる。

【0059】

方式 3

方式 1 と 2 の折衷系である。フィルタリングに伴う、過去のフィルタ出力信号データはアップサンプリング手段 706 に保持されており、フィルタへの入力信号データは、全てバッファメモリ 704 から供給される。

【0060】

間引き手段 707 は、アップサンプリング手段 706 の出力 (図 6 (d)) に対し、2 サンプルのうち 1 サンプルを取り出していく (図 6 (e))。すなわち、出力するサンプルと廃棄するサンプルが交互になる。これにより、元の時間長に戻し、事実上の時間軸圧縮操作を行い、元の信号と同じ長さで、周波数を 2 倍にした信号 (図 6 (f)) を得る。

【0061】

なお、ここでは、ゼロクロス検出手段 703 について、ゼロクロス点を検出すべき信号として、アップサンプリング手段 706 の出力としたが、図 8 (a) で示す構成のように、ダウンサンプリング手段 702 の入力信号を、ゼロクロス点を検出すべき信号としてもよい。この場合は、ダウンサンプリング手段 702、バッファメモリ 704、アップサンプリング手段 706 の処理における遅延分をあらかじめ考慮し、アップサンプリング手段 706 での出力でのゼロクロス点の時刻に合わせればよい。

【0062】

また、時間分解能は劣るものの、間引き手段 707 の出力でゼロクロス点の検出を行うことも可能である。その場合のブロック線図を、図 8 (b) に示す。

【0063】

さらに、図 8 (c)、(d)、(e) で示す構成のように、バッファメモリ 704 の入力、あるいは出力、あるいは記録されている信号データを、ゼロクロス点を検出すべき信号としてもよい。この場合にも、バッファメモリ 704 やアップサンプリング手段 706 の処理における遅延分をあらかじめ考慮し、アップサ

ンプリング手段 706 での出力でのゼロクロス点の時刻に合わせる必要がある。

【0064】

なお、図 8 (c)、(d)、(e) のいずれの構成においても、ダウンサンプリングされた信号データを用いるため、時間分解能が大きい状態でゼロクロス点を検出することになる。

【0065】

これを避けるため、例えば、直線補間を用いて、ゼロクロス点の検出における時間分解能を細かくする方法が考えられる。これについて、図 9 を用いて説明する。

【0066】

$x(40)$ 、 $x(44)$ 、 $x(52)$ のように、ゼロクロス点を含まない場合は、そのままよい。

【0067】

$x(48)$ のようにゼロクロス点が発見された場合には、その前のダウンサンプリングされたサンプル $x(44)$ との間を直線で結び、その直線上に挿入したサンプル $x(45)$ 、 $x(46)$ 、 $x(47)$ を含めてゼロクロス点の検出を行うと、検出の時間分解能を向上させることができる。

【0068】

なお、ゼロクロスの検出方法には、この他にも各種の変形が考えられるが、本発明はゼロクロスの検出方法には依存しないため、いずれの方法を使用しても良い。

【0069】

本実施の形態によれば、バッファメモリ 704 に格納される信号データが、元の信号データの $1/4$ 、すなわちダウンサンプリング手段 702 のダウンサンプリング率だけ小さくなる。よって、バッファメモリ 704 の容量も $1/4$ で済み、バッファメモリの容量の削減に関し、大きな効果を有していることがわかる。

【0070】

以上の動作を具体的な例で説明する。ここでは、図 10 に示すゼロクロス点 $y(41)$ と $y(104)$ を含む信号を例として考える。また、ダウンサンプリン

グ率は $1/4$ で、第 2 倍音を作るものとし、アップサンプリング時のイメージング歪の除去を行うフィルタとして、以下の 16 タップの FIR フィルタ $F(z^{-1})$ を用いるものとする。

【0071】

$$F(z^{-1}) = f(0) + f(1)z^{-1} + f(2)z^{-2} + \dots + f(15)z^{-15}$$

この例において、各時刻 t で倍音 $y(n)$ を求めることを考える。なお、 $x(4m+1)$ 、 $x(4m+2)$ 、 $x(4m+3)$ (m は自然数) の値はバッファメモリには存在せず、値 0 とみなして演算すればよい。なお、この値 0 に対する乗算は省くことも可能である。

【0072】

以下、ゼロクロス区間を 2 回繰り返すところまでを列記する。

【0073】

$t = 0$ 、 $t = 1$:

ダウンサンプリング後の信号を $x(80)$ として書き込む。

【0074】

$x(28)$ 、 $x(32)$ 、 $x(36)$ 、 $x(40)$ を読み出し
 $y(40)$ 、 $y(41)$ 、 $y(42)$ 、 $y(43)$ の信号を生成。

【0075】

最後に、 $y(40)$ 、 $y(42)$ を出力。

【0076】

$t = 2$ 、 $t = 3$:

$x(32)$ 、 $x(36)$ 、 $x(40)$ 、 $x(44)$ を読み出し
 $y(44)$ 、 $y(45)$ 、 $y(46)$ 、 $y(47)$ の信号を生成。

【0077】

最後に、 $y(44)$ 、 $y(46)$ を出力。

【0078】

$t = 4$ 、 $t = 6$:

ダウンサンプリング後の信号 $x(84)$ として書き込む。

【0 0 7 9】

x (3 6) 、 x (4 0) 、 x (4 4) 、 x (4 8) を読み出し
y (4 8) 、 y (4 9) 、 y (5 0) 、 y (5 1) の信号を生成。

【0 0 8 0】

最後に、 y (4 8) 、 y (5 0) を出力。

【0 0 8 1】

...

t = 3 0 、 t = 3 1 :

x (8 8) 、 x (9 2) 、 x (9 6) 、 x (1 0 0) を読み出し
y (1 0 0) 、 y (1 0 1) 、 y (1 0 2) 、 y (1 0 3) の信号を生成

。

【0 0 8 2】

最後に、 y (1 0 0) 、 y (1 0 2) を出力。

【0 0 8 3】

t = 3 2 、 t = 3 3 :

ダウンサンプリング後の信号を x (1 1 2) として書き込み

x (2 8) 、 x (3 2) 、 x (3 6) 、 x (4 0) を読み出し
y (4 0) 、 y (4 1) 、 y (4 2) 、 y (4 3) の信号を生成。

【0 0 8 4】

最後に、 y (4 1) 、 y (4 3) を出力。

【0 0 8 5】

t = 3 4 、 t = 3 5 :

x (3 2) 、 x (3 6) 、 x (4 0) 、 x (4 4) を読み出し
y (4 4) 、 y (4 5) 、 y (4 6) 、 y (4 7) の信号を生成。

【0 0 8 6】

最後に、 y (4 5) 、 y (4 7) を出力。

【0 0 8 7】

...

t = 6 2 、 t = 6 3 :

$x(88)$ 、 $x(92)$ 、 $x(96)$ 、 $x(100)$ を読み出し
 $y(100)$ 、 $y(101)$ 、 $y(102)$ 、 $y(103)$ 、の信号を生成。

【0088】

最後に、 $y(101)$ 、 $y(103)$ を出力。

【0089】

$t=64$ 、 $t=65$ ：

ダウンサンプリング後の信号を $x(144)$ として書き込み

$x(92)$ 、 $x(96)$ 、 $x(100)$ 、 $x(104)$ を読み出し
 $y(104)$ 、 $y(105)$ 、 $y(106)$ 、 $y(107)$ 、の信号を生成。

【0090】

最後に、 $y(105)$ 、 $y(107)$ を出力。

【0091】

...

このような一連の動作で、倍音を生成することが出来る。

【0092】

なお、本発明の倍音生成装置は、ハードウェアとしても、コンピュータにおけるソフトウェアとしても適用可能である。

【0093】

(実施の形態2)

以下、図面を参照しながら、本発明の実施の形態2を説明する。

【0094】

まず、本発明の実施の形態2における倍音生成方法について、図11を参照しながら説明する。ここでは、周波数が k 倍の倍音を生成するものとし、本発明の本質とは直接関係の無いゼロクロス点の検出と、それ伴うアドレス管理動作に関しては省略している。

【0095】

図11に示されるように、本実施の形態における倍音生成方法は、入力信号に

対しダウンサンプリングを行う処理ステップS 1 1 1と、ダウンサンプリング後の入力信号を書き込み速度 p でバッファメモリに格納するステップS 1 1 2と、バッファメモリから信号データを読み出し速度 $p \times k$ で読み出すステップS 1 1 3と、読み出された信号データに対し、 k サンプルのうち1サンプルの割合でアップサンプリングを行い、倍音を生成する処理ステップS 1 1 4から成る。

【0096】

次に、図11と図12を参照しながら、より詳細な動作について説明する。ここでは数値例として、ステップS 1でのダウンサンプリング率を $1/4$ 、生成する倍音の次数を2とする。また、1ブロックで8サンプル ($M=8$) (入力信号の時点で) まとめて処理を行うブロック処理とする。

【0097】

長さ8サンプルの入力信号は、ステップS 1 1 1で $1/4$ にダウンサンプリングされて2サンプルとなり(図12(a))、ステップS 1 1 2でバッファメモリに(B 1 w、B 2 w、B 3 w、...)のように格納される(図12(b))。

【0098】

ステップS 1 1 3ではバッファメモリからは4サンプルの信号データが(B 1 w、B 2 w、B 3 w、...)のように読み出される(図12(c))。すなわち、バッファメモリからの読み出しアドレスは、バッファメモリへの書き込みアドレスよりも遅れており、単位時間当たりのアドレス更新速度が、書き込みアドレスの2倍となっている。

【0099】

ステップS 1 1 4では、この4サンプルの信号データに対し、4倍のアップサンプリングを行う(図12(d))。これには、イメージング歪を除去するためのフィルタ処理が含まれている。ここで、2サンプルのうち1サンプルしかアップサンプリングしないものとする。すなわち、全てアップサンプリングすれば16サンプルになるところを、8サンプル分しかアップサンプリングの演算をしないことになる。この8サンプルは、そのまま入力信号と同じ長さ8の第2倍音となる。

【0100】

上記の倍音生成方法によれば、実施の形態1と同様に、バッファメモリの容量を削減できる効果を有すると共に、実施の形態1では間引き手段で廃棄されるデータについてはあらかじめ演算しないため、演算量の削減なる効果も有する。

【0101】

以上に示した倍音生成方法に基づき、装置として適用した倍音生成装置に関して説明する。図13は、本発明の実施の形態2における倍音生成装置のブロック線図である。

【0102】

実施の形態2における倍音生成装置は、入力端子1301、ダウンサンプリング手段1302、ゼロクロス検出手段1303、バッファメモリ1304、アドレス管理手段1305、アップサンプリング手段1306、出力端子1308から構成されている。

【0103】

入力端子1301は、倍音生成装置への入力信号を受ける端子である。

【0104】

ダウンサンプリング手段1302は、入力端子1301からの入力信号に対し、エイリアス歪の発生を防止するために、周波数帯域を制限するフィルタリングを行い、そして所定のサンプル間隔で信号の間引きを行うものである。換言すれば、信号のサンプリング周波数を下げるものである。ここで行うフィルタリングを行うフィルタとして、FIRフィルタを用いても良いし、IIRフィルタを用いても良い。

【0105】

バッファメモリ1304は、ダウンサンプリング手段1302の出力信号を一旦メモリに格納し、アドレス管理手段1305の指示に従って、メモリに格納された信号をアップサンプリング手段1306へ出力するものである。

【0106】

ゼロクロス検出手段1303は、バッファメモリ1304に記憶された信号、またはバッファメモリ1304への入力信号、あるいはバッファメモリ1304

からの出力信号、あるいはアップサンプリング手段1306からの出力信号のいずれかに対し、そのゼロクロス点を検出するものである。これについては、実施の形態1で示したものと同様であるため、ここでは、アップサンプリング手段1306からの出力信号を対象とする場合についてのみ説明する。

【0107】

アドレス管理手段1305は、ゼロクロス検出手段1303からの情報に基づき、バッファメモリ1304からの信号の読み出しアドレスを求め、バッファメモリ1304から読み出す出力を制御するものである。

【0108】

アップサンプリング手段1306は、バッファメモリ1304からの信号を、イメージングによる歪の発生を防止するために、周波数帯域を制限するフィルタリングを行い、元のサンプリング周波数に戻し、さらに周波数を k 倍にするものである。ここではFIRフィルタを用いる。

【0109】

出力端子1308は、アップサンプリング手段16からの出力信号を、外部に出力するものである。

【0110】

次に、図12を参照しながら、より詳細な動作について説明する。ここでは数値例として、実施の形態1と同様に、ダウンサンプリング手段1302におけるダウンサンプリング率を4、生成する倍音の次数を2とする。また、1ブロックで8サンプル（ダウンサンプリング手段1302での入力時時点）まとめて処理を行うブロック処理とする。

【0111】

また、ゼロクロス検出手段1303は、アップサンプリング手段1306の出力に関し、ゼロクロス判定を行うものとする。

【0112】

入力端子1301からの信号は、ダウンサンプリング手段1302で $1/4$ にダウンサンプリングされ（図12（a））、バッファメモリ1304に格納される（図12（b））。入力信号が8サンプルの長さであれば、そのうちの $1/4$

である 2 サンプルのみがバッファメモリ 1304 に転送される。

【0113】

ゼロクロス検出手段 1303 は、アップサンプリング手段 1306 の出力よりゼロクロス点を検出し、それをアドレス管理手段 1305 へ伝達する。

【0114】

アドレス管理手段 1305 は、受け取ったゼロクロス点の情報より、バッファメモリ 1304 からの読み出しアドレスを算出する。バッファメモリ 1304 からの読み出しアドレスは、バッファメモリ 1304 への書き込みアドレスよりも遅れている。そして単位時間当たりのアドレス更新速度が、書き込みアドレスの 2 倍となっている。すなわち、バッファメモリ 1304 に 2 サンプル書き込まれる毎 (B1w、B2w、B3w、...) に、そのバッファメモリ 1304 から 4 サンプル分の信号データが読み出される (B1r、B2r、B3r、...) ことになる (図 12 (c))。

【0115】

ここまでは、実施の形態 1 と同様である。本実施の形態では、間引き手段が存在せず、その役割をアップサンプリング手段 1306 が兼ねる働きとなる。

【0116】

アップサンプリング手段 1306 は、バッファメモリ 1304 からの出力について、4 倍のアップサンプリングが行われるが、実施の形態 1 では間引き手段で間引かれるデータについては、この時点で生成しないようにすることが大きな特徴である。

【0117】

このために、アップサンプリング手段 1306 にて、2 サンプル毎のサンプルのみをフィルタ処理で求めるようにする (図 12 (d))。

【0118】

これにより、バッファメモリ 1304 からの出力が 4 サンプルの信号データならば、その 4 倍の 16 サンプルの信号データになるはずが、あらかじめ間引かれるサンプルはフィルタ処理を行わないため、8 サンプルのみ信号データが生成されることになる。これは、事実上の時間軸圧縮操作となり、元の信号と同じ長さ

で周波数を 2 倍にした信号 (図 12 (e)) が得られる。

【0119】

なお、本実施の形態においても実施の形態 1 と同様に、読み出しアドレスがゼロクロス点に達した際には、前のゼロクロス点に読み出しアドレスが再設定される。そして、そのゼロクロス点より、2 巡目のアップサンプリング処理が行われる。

【0120】

ここで、ゼロクロス区間の長さ、すなわちサンプル数が偶数か奇数かによって、2 巡目の求めるべきサンプルが異なる。これについて、図 14 を用いて説明する。図 14 (a) のように、ゼロクロス区間の長さが偶数であれば、1 巡目と同じ信号データを求めればよい。図 14 (b) のようにゼロクロス区間の長さが奇数の場合には、1 巡目では求めなかったサンプルの信号データを求めればよい。すなわち、1 巡目で求めたサンプルは、2 巡目では求めないことになる。

【0121】

このようにすれば、入力信号と出力信号のサンプル数を一定に保ち、かつ歪の少ない倍音を生成することが出来る。

【0122】

以上、第 2 倍音を求める方法について説明したが、第 3 倍音以降も同様の操作で生成可能である。

【0123】

例えば、第 3 倍音を生成する場合を考える。アップサンプリング手段 1306 にて、3 サンプル毎に、フィルタ処理で信号データを求めればよい。この場合、ゼロクロス区間が、 $3n$ 、 $3n+1$ 、 $3n+2$ (n は自然数) の 3 つの場合に分けられる。これについては、図 15 を参照しながら説明する。

【0124】

(a) ゼロクロス区間が $3n$ の場合 図 15 (a)

1 巡目、2 巡目、3 巡目全て同じ信号データを求めることになる。

【0125】

(b) ゼロクロス区間が $3n+1$ の場合 図 15 (b)

2 巡目で求める信号データは、1 巡目でのサンプルより 1 サンプル過去側の信号データになる。3 巡目で求める信号データは、2 巡目でのサンプルより 1 サンプル過去側の信号データになる。

【0126】

(c) ゼロクロス区間が $3n+2$ の場合 図 15 (c)

2 巡目で求める信号データは、1 巡目でのサンプルより 1 サンプル未来側の信号データになる。3 巡目で求める信号データは、2 巡目でのサンプルより 1 サンプル未来側の信号データになる。

【0127】

次に、動作を具体的な例で説明する。ここでは、実施の形態 1 と同様に、図 10 に示すゼロクロス点 $y(41)$ と $y(104)$ を含む信号を例として考える。以下、実施の形態 1 と同様に、ダウンサンプリング率は $1/4$ で、第 2 倍音を作るものとし、アップサンプリング時のイメージング歪の除去を行うフィルタとして、以下の 16 タップの FIR フィルタ $F(z^{-1})$ を用いるものとする。

【0128】

$$F(z^{-1}) = f(0) + f(1)z^{-1} + f(2)z^{-2} + \dots + f(15)z^{-15}$$

この例において、各時刻 t で倍音 $y(n)$ を求めることを考える。なお、 $x(4m+1)$ 、 $x(4m+2)$ 、 $x(4m+3)$ (m は自然数) の値はバッファメモリには存在せず、値 0 とみなして演算すればよい。なお、この値 0 に対する乗算は省くことも可能である。

【0129】

以下、ゼロクロス区間を 2 回繰り返すところまでを列記する。

【0130】

$t=0$ 、 $t=1$:

ダウンサンプリング後の信号を $x(80)$ として書き込む。

【0131】

$x(28)$ 、 $x(32)$ 、 $x(36)$ 、 $x(40)$ を読み出し
 $y(40)$ 、 $y(42)$ の信号を生成、出力。

【0132】

t = 2、t = 3：

x (32)、x (36)、x (40)、x (44) を読み出し
y (44)、y (46) の信号を生成、出力。

【0133】

t = 4、t = 6：

ダウンサンプリング後の信号 x (84) として書き込む。

【0134】

x (36)、x (40)、x (44)、x (48) を読み出し
y (48)、y (50) の信号を生成、出力。

【0135】

...

t = 30、t = 31：

x (88)、x (92)、x (96)、x (100) を読み出し
y (100)、y (102) の信号を生成、出力。

【0136】

t = 32、t = 33：

ダウンサンプリング後の信号を x (112) として書き込み

x (28)、x (32)、x (36)、x (40) を読み出し
y (40)、y (42) の信号を生成、出力。

【0137】

最後に、y (41)、y (43) を出力。

【0138】

t = 34、t = 35：

x (32)、x (36)、x (40)、x (44) を読み出し
y (44)、y (46) の信号を生成、出力。

【0139】

...

t = 62、t = 63：

x (88)、x (92)、x (96)、x (100) を読み出し
y (100)、y (102) の信号を生成、出力。

【0140】

t = 64、t = 65:

ダウンサンプリング後の信号を x (144) として書き込み

x (92)、x (96)、x (100)、x (104) を読み出し
y (104)、y (106) の信号を生成、出力。

【0141】

...

このような一連の動作で、倍音を生成することが出来る。

【0142】

本実施の形態によれば、バッファメモリの容量削減の効果は実施の形態1と同様であるが、あらかじめ間引かれるとわかっている信号データに関しては、最初から求めないので、演算量の削減という意味でより優れていることがわかる。

【0143】

なお、本発明の倍音生成装置は、ハードウェアとしても、コンピュータにおけるソフトウェアとしても適用可能である。

【0144】

(実施の形態3)

以下、図面を参照しながら、本発明の実施の形態3を説明する。

【0145】

図16は、本発明の実施の形態3における倍音生成装置のブロック線図である。本実施の形態は、実施の形態2で説明したアップサンプリング手段において、より効率良く処理するためのものである。

【0146】

実施の形態3における倍音生成装置は、入力端子1601、ダウンサンプリング手段1602、ゼロクロス検出手段1603、バッファメモリ1604、アドレス管理手段1605、アップサンプリング手段1606、出力端子1608から構成されている。さらに、アップサンプリング手段1606は、サブフィルタ

演算部 1611 とサブフィルタ係数選択部 1612 から構成されている。

【0147】

全体の動作は、実施の形態 2 とほぼ同一であるため、重複する箇所の説明は省き、本実施の形態の特徴であるアップサンプリング手段 1606 とアドレス管理手段 1605 の動作を中心に説明する。

【0148】

アドレス管理手段 1605 は、ゼロクロス検出手段 1603 からの情報に基づき、バッファメモリ 1604 からの信号の読み出しアドレスを求め、バッファメモリ 1604 から読み出す出力を制御するものである。さらに、サブフィルタ係数選択部 1612 へ、選択すべきサブフィルタを指定するための情報を伝達する。

【0149】

サブフィルタ係数選択部 1612 は、アドレス管理手段 1605 からのサブフィルタ選択情報を受けて、該当するサブフィルタの係数列を選択し、該係数列をサブフィルタ演算部 1611 に送る。

【0150】

サブフィルタ演算部 1611 は、サブフィルタ係数選択部 1611 により選択されたサブフィルタの係数列と、バッファメモリ 1604 から読み出された信号とのサブフィルタ処理（積和演算）を行う。

【0151】

図 16 の倍音生成装置の全体構成の中で、アドレス管理手段 1605 とアップサンプリング手段 1606 をより具体的に示したものが図 17 である。

【0152】

アドレス管理手段 1605 は、内部に設けられたレジスタと加算器により、生成倍音に相当する次数（例えば 2）ずつアドレスを増加させる。

【0153】

これにより、2 番目ごとにサンプルをアップサンプリングしていくことになるので、実施の形態 2 で述べたような不要なサンプルに対するアップサンプリング処理を省くことができる。

【0154】

ここで、ゼロクロス検出手段1604からのゼロクロス点の情報より、ゼロクロス点に到達した場合には、前のゼロクロス点、あるいは前のゼロクロス点より数サンプル進めた位置に、読み出しアドレスが再設定される。

【0155】

アドレス管理手段1605で算出されるアドレスの下位ビットは、サブフィルタの選択情報として、サブフィルタ係数選択部1612に送られる。

【0156】

また、アドレス管理手段1605で算出されるアドレスの上位ビットは、データ列を読み出すための情報として、バッファメモリ1604に送られる。

【0157】

サブフィルタ係数選択部1612は、送られてくる下位ビット情報に基づいて、該当するサブフィルタの係数列を選択する。

【0158】

バッファメモリ1604は、アドレス管理手段1605から送られてくる読み出しアドレスの上位ビット情報に基づいて、4つの連続するデータ列をサブフィルタ演算部1611に送る。

【0159】

サブフィルタ演算部1611は、サブフィルタ係数選択部1612により選択されたサブフィルタの係数列と、バッファメモリ1604から読み出された信号とを積和演算し、外部に出力する。

【0160】

ここで、サブフィルタ処理を用いたアップサンプリングの原理について説明する。数値例として、FIRフィルタのタップ数を16、ダウンサンプリング率1/4（アップサンプリング率4）とする。また、バッファメモリから取り出す信号を $x(4m)$ 、アップサンプリング出力を $y(n)$ とする。

【0161】

最初に、以下のようなFIRフィルタを取り上げる。

【0162】

$$F(z^{-1}) = f(0) + f(1)z^{-1} \\ + f(2)z^{-2} + \dots + f(15)z^{-15}$$

このFIRフィルタに関し、4つのサブフィルタに分割する。

【0163】

$$f_0(z^{-1}) \\ = f(0) + f(4)z^{-4} + f(8)z^{-8} + f(12)z^{-12} \\ f_1(z^{-1}) \\ = [f(1) + f(5)z^{-4} + f(9)z^{-8} + f(13)z^{-12}]z^{-1} \\ f_2(z^{-1}) \\ = [f(2) + f(6)z^{-4} + f(10)z^{-8} + f(14)z^{-12}]z^{-2} \\ f_3(z^{-1}) \\ = [f(3) + f(7)z^{-4} + f(11)z^{-8} + f(15)z^{-12}]z^{-3}$$

したがって、アップサンプリング信号 $y(n)$ は、時刻 n が次の4系列のうちどれに属するかを判別し、対応するサブフィルタ処理を行うことで得られる。

【0164】

(a) $n = 4m$ の系列

$$y(n) = f(0)x(4m) + f(4)x(4m-4) \\ + f(8)x(4m-8)$$

(b) $n = 4m+1$ の系列

$$y(n) = f(1)x(4m) + f(5)x(4m-4) \\ + f(9)x(4m-8)$$

(c) $n = 4m+2$ の系列

$$y(n) = f(2)x(4m) + f(6)x(4m-4) \\ + f(10)x(4m-8)$$

(d) $n = 4m+3$ の系列

$$y(n) = f(3)x(4m) + f(7)x(4m-4) \\ + f(11)x(4m-8)$$

ここで、サブフィルタの判別は、 n をビット表示（2進数表示）した際の、最下位ビットから下位2ビットの情報により行うことが可能である。これは、 n の

最下位ビットから下位 2 ビットの情報 ($n - 4m$) に相当する。

【0165】

この動作をより具体的な例で説明する。

【0166】

各時刻 t で倍音 $y(n)$ を求めることを考える。ダウンサンプリング率は $1/4$ で、第 2 倍音を作る例を考える。また、ゼロクロス点が $y(41)$ 、 $y(104)$ にあるものとする。

【0167】

まず、 n の上位ビット ($= 4m$) に基づいて、信号データ $x(4m)$ がバッファメモリ 14 より読み出される。また、 n の下位ビット ($= n - 4m$) に基づいて、サブフィルタ $f_0(z^{-1}) \sim f_3(z^{-1})$ のいずれかが選択され、フィルタ演算手段で、積和演算が実行される。

【0168】

以上の操作を、ゼロクロス区間を 2 回繰り返すところまでを列記する。

【0169】

$t = 0$ 、 $t = 1$:

ダウンサンプリング後の信号を $x(80)$ として書き込み

$x(28)$ 、 $x(32)$ 、 $x(36)$ 、 $x(40)$ を読み出し

$y(40)$ の信号を生成、 $f_0(z^{-1})$ 使用

$y(42)$ の信号を生成、 $f_2(z^{-1})$ 使用

$t = 2$ 、 $t = 3$:

$x(32)$ 、 $x(36)$ 、 $x(40)$ 、 $x(44)$ を読み出し

$y(44)$ の信号を生成、 $f_0(z^{-1})$ 使用

$y(46)$ の信号を生成、 $f_2(z^{-1})$ 使用

$t = 4$ 、 $t = 5$:

ダウンサンプリング後の信号を $x(84)$ として書き込み

$x(36)$ 、 $x(40)$ 、 $x(44)$ 、 $x(48)$ を読み出し

$y(48)$ の信号を生成、 $f_0(z^{-1})$ 使用

$y(50)$ の信号を生成、 $f_2(z^{-1})$ 使用

...

$t = 30$ 、 $t = 31$:

$x(88)$ 、 $x(92)$ 、 $x(96)$ 、 $x(100)$ を読み出し

$y(100)$ の信号を生成、 $f_0(z^{-1})$ 使用

$y(102)$ の信号を生成、 $f_2(z^{-1})$ 使用

$t = 32$ 、 $t = 33$:

ダウンサンプリング後の信号を $x(112)$ として書き込み

$x(28)$ 、 $x(32)$ 、 $x(36)$ 、 $x(40)$ を読み出し

$y(41)$ の信号を生成、 $f_1(z^{-1})$ 使用

$y(43)$ の信号を生成、 $f_3(z^{-1})$ 使用

$t = 34$ 、 $t = 35$:

$x(32)$ 、 $x(36)$ 、 $x(40)$ 、 $x(44)$ を読み出し

$y(45)$ の信号を生成、 $f_1(z^{-1})$ 使用

$y(47)$ の信号を生成、 $f_3(z^{-1})$ 使用

...

$t = 62$ 、 $t = 63$:

$x(88)$ 、 $x(92)$ 、 $x(96)$ 、 $x(100)$ を読み出し

$y(101)$ の信号を生成、 $f_1(z^{-1})$ 使用

$y(103)$ の信号を生成、 $f_3(z^{-1})$ 使用

$t = 64$ 、 $t = 65$:

ダウンサンプリング後の信号を $x(144)$ として書き込み

$x(92)$ 、 $x(96)$ 、 $x(100)$ 、 $x(104)$ を読み出し

$y(105)$ の信号を生成、 $f_1(z^{-1})$ 使用

$y(107)$ の信号を生成、 $f_3(z^{-1})$ 使用

...

このような一連の動作で、倍音を生成することが出来る。

【0170】

ここで、サブフィルタの選択を時系列で見ると、生成する倍音次数とダウンサンプリング率 (= アップサンプリング率) の関係に応じて、周期性が見られる。

例えば、倍音次数 2、ダウンサンプリング率 4 の場合で考えると、サブフィルタの選択は、上記の例のように、サブフィルタ 0、サブフィルタ 2、サブフィルタ 0、サブフィルタ 2、・・・、あるいは、サブフィルタ 1、サブフィルタ 3、サブフィルタ 1、サブフィルタ 3 というように変化する。

【0171】

この周期性を利用し、係数列選択の変化パターンをテーブル化しておいて、ゼロクロス点における繰り返し初回の係数列選択以降は、このテーブルを利用して係数列の選択を行うことで、係数列の選択に要するステップ数を削減することも可能である。

【0172】

なお、ここではダウンサンプリング率 $1/4$ で、第 2 倍音の生成の例を示したが、他のダウンサンプリング率、第 k 倍音の場合でも、同様の手続きで実行することが出来る。

【0173】

本実施の形態によれば、バッファメモリの容量の削減は実施の形態 2 と同様であることに加え、サブフィルタを用いることで、無駄な積和演算処理を省いたため、単位時間当たりの演算量の削減という意味で、より優れていることがわかる。

【0174】

なお、本発明の倍音生成装置は、ハードウェアとしても、コンピュータにおけるソフトウェアとしても適用可能である。

【0175】

(実施の形態 4)

本発明の実施の形態 4 について、図面を参照しながら説明する。

【0176】

本実施の形態は、実施の形態 1 の倍音生成装置に関し、複数の倍音を生成するように拡張したものである。

【0177】

図 18 に示すように、バッファメモリ 1804 に書き込むまでは、全ての倍音

生成において共通なので、ダウンサンプリング手段1802とバッファメモリ1804については共用化する。そして、生成する倍音毎に、ゼロクロス検出手段1803a~1803c、アドレス管理手段1805a~1805c、アップサンプリング手段1806a~1806c、間引き手段1807a~1807cを設け、それぞれ倍音生成を行えば良い。生成された各倍音について、振幅レベルが乗算器1809a~1809cで調整され、加算器1810により加算された後に外部に出力される。

【0178】

なお、ゼロクロス点は、バッファメモリの入力側でも出力側でも、倍音の倍率には関係ない。したがって、ゼロクロス検出手段でゼロクロス点の検出を行う信号を、ダウンサンプリング手段1802の入力信号(図19)や出力信号、あるいはバッファメモリ1804に記憶されている信号とする場合には、ゼロクロス検出手段1803を共用化することも可能である。

【0179】

また、アップサンプリング手段1806a~1806cの入力信号や出力信号、間引き手段1807a~1807cの出力信号にてゼロクロス点を検出する場合には、最も倍音の次数が高いところにのみゼロクロス検出手段1803を設置することも可能である(図20)。最も倍音の倍率が高いところにした理由は、読み出しアドレスが最も早く次のゼロクロス点に到達するからである。

【0180】

以上、複数の倍音を生成する場合について説明した。なお、ここでは代表として、実施の形態1で示した倍音生成装置を拡張する場合について述べたが、実施の形態2、実施の形態3で示した倍音生成装置についても同様な考え方で拡張することができる。

【0181】

なお、本発明の倍音生成装置は、ハードウェアとしても、コンピュータにおけるソフトウェアとしても適用可能である。

【0182】

(実施の形態5)

本発明の実施の形態 5 について、図面を参照しながら説明する。

【0183】

本実施の形態は、実施の形態 1 で示した倍音生成装置に関し、帯域分割処理を行い、周波数帯域毎に倍音生成を行うように拡張したものである。

【0184】

このような場合には、図 21 に示すように、ダウンサンプリング手段 2102 の後に、帯域分割処理を行うための帯域通過フィルタ 2112a～2112c を新たに挿入する。そして、ゼロクロス検出手段 2103a～2103c、バッファメモリ 2104a～2104c、アドレス管理手段 2105a～2105c、アップサンプリング手段 2106a～2106c、間引き手段 2107a～2107c を周波数帯域毎に設ける。この構成により、周波数帯域毎に倍音生成を行う。

【0185】

そして、各周波数帯域で生成される倍音の振幅レベルは、乗算器 2109a～2109c で調整され、加算器 2110 により加算された後に外部に出力される。

【0186】

本実施の形態における倍音生成装置も、これまでの実施の形態と同様に、バッファメモリの容量を削減できるという効果を有する。

【0187】

これに加え、本実施の形態における倍音生成装置は、帯域分割処理を行う帯域通過フィルタの演算量削減という効果を有する。すなわち、各周波数帯域の成分を抽出するための帯域通過フィルタ 2112a～2112c を、低いサンプリング周波数で動作させるため、帯域通過フィルタのタップ数の削減、単位時間の処理サンプル数の削減ができ、それにより演算量（単位時間当たりの乗算回数）を削減することが可能となる。

【0188】

ダウンサンプリングしない場合と比べ、単位時間当たりの帯域通過フィルタの呼び出し回数が $1/D$ （ D はダウンサンプリング率）になり、また帯域通過フィ

ルタ 2112a ~ 2112c のタップ数を $1/D$ (FIR フィルタで構成した場合) まで削減できるため、全体で帯域通過フィルタ 2112a ~ 2112c に要する単位時間当たりの演算量を $1/D^2$ にまで削減可能となる。すなわち、単位時間当たりの演算量の削減について、大きな効果を有していることがわかる。

【0189】

なお、ここでは代表として、実施の形態 1 で示した倍音生成装置を拡張する場合について述べたが、他の実施の形態で示した倍音生成装置についても同様な考え方で拡張可能である。

【0190】

なお、本発明の倍音生成装置は、ハードウェアとしても、コンピュータにおけるソフトウェアとしても適用可能である。

【0191】

(実施の形態 6)

本実施の形態では、これまでに示した本発明における倍音生成装置を、バーチャルピッチ効果を利用して小型スピーカの低音感向上を図る音響信号処理装置に適用した場合について述べる。

【0192】

図 22 はこの音響信号処理装置のブロック線図である。本実施例における音響信号処理装置は、入力端子 2218、ディレイ 2213、低域通過フィルタ 2214、高域通過フィルタ 2215、倍音生成装置 2216、加算器 2217、出力端子 2219 により構成される。

【0193】

構成要素である倍音生成装置 2216 には、実施の形態 1 から 5 で示した、いずれかの倍音生成装置を用いる。

【0194】

次に、図 22 (a) で示される音響信号処理装置について、その動作を説明する。

【0195】

入力端子 2218 より入力された入力信号は、ディレイ 2213 と低域通過フ

フィルタ 2214 にそれぞれ入力される。

【0196】

ディレイ 2213 は、倍音生成装置 2216 の処理に伴う遅延の分、入力信号を遅延させる。

【0197】

低域通過フィルタ 2214 は、入力信号から倍音生成の対象となる低域成分を抽出する。

【0198】

倍音生成装置 2216 では、低域通過フィルタ 2214 の出力に対し、倍音生成を行う。

【0199】

ディレイ 2213 の出力信号と倍音生成装置 2216 の出力信号は、加算器 2217 で加算される。加算器 2217 の出力信号は、高域通過フィルタ 2215 に入力され、そこで低域成分が減衰させられる。これにより、低域における過負荷を防止する。最後に高域通過フィルタ 2215 の出力信号は、出力端子 2219 を通じて外部に出力される。

【0200】

また、図 22 (b)、(c) に示すように、高域通過フィルタ 2215 を、ディレイ 2213 の前段、あるいは後段に配置する構成としてもよい。

【0201】

このように、実施の形態 1 から 5 で説明した本発明における倍音生成装置を、小型スピーカの低音感向上を図る音響信号処理装置に適用することが可能である。

【0202】

【発明の効果】

以上示したように、本発明によれば、ダウンサンプリングされた信号がバッファメモリに格納されるため、必要となるバッファメモリの容量を削減でき、その効果は大なるものである。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係る倍音生成方法の第 1 のフロー図

【図 2】

ゼロクロス法に基づく倍音生成法の原理説明図

【図 3】

基本的な倍音生成装置のブロック線図

【図 4】

基本的な倍音生成装置の動作説明図

【図 5】

本発明の実施の形態 1 に係る倍音生成方法の第 2 のフロー図

【図 6】

本発明の実施の形態 1 に係る倍音生成装置の動作説明図

【図 7】

本発明の実施の形態 1 に係る倍音生成装置のブロック線図 (1)

【図 8】

本発明の実施の形態 1 に係る倍音生成装置のブロック線図 (2)

【図 9】

直線補間を用いたゼロクロス検出の説明図

【図 10】

アップサンプリング手段における入力と出力の具体例を示す図

【図 11】

本発明の実施の形態 2 に係る倍音生成方法のフロー図

【図 12】

本発明の実施の形態 2 に係る倍音生成装置の動作説明図

【図 13】

本発明の実施の形態 2 に係る倍音生成装置のブロック線図

【図 14】

第 2 倍音生成におけるアップサンプリング出力を表す図

【図 15】

第 3 倍音生成におけるアップサンプリング出力を表す図

【図 16】

本発明の実施の形態 3 に係る倍音生成装置のブロック線図

【図 17】

本発明の実施の形態 3 に係る倍音生成装置の詳細構成図

【図 18】

本発明の実施の形態 4 に係る倍音生成装置のブロック線図 (1)

【図 19】

本発明の実施の形態 4 に係る倍音生成装置のブロック線図 (2)

【図 20】

本発明の実施の形態 4 に係る倍音生成装置のブロック線図 (3)

【図 21】

本発明の実施の形態 5 に係る倍音生成装置のブロック線図

【図 22】

本発明の実施の形態 6 に係る倍音生成装置のブロック線図

【図 23】

周波数変換の原理説明図

【図 24】

従来の周波数変換装置のブロック線図

【図 25】

ゼロクロス点に基づくアドレス再設定法の説明図

【符号の説明】

301, 701, 1301, 1601, 1801, 2101, 2218, 24

11 入力端子

702, 1302, 1602, 1802, 2102 ダウンサンプリング手段

303, 703, 1303, 1603, 1803a~1803c, 2103a
~2103c ゼロクロス検出手段

304, 704, 1304, 1604, 1804, 2104a~2104c

バッファメモリ

305, 705, 1305, 1605, 1805a~1805c, 2105a
~2105c アドレス管理手段

706, 1306, 1606, 1806a~1806c, 2106a~210
6c アップサンプリング手段

707, 1807a~1807c, 2107a~2107c 間引き手段

308, 708, 1308, 1608, 1808, 2108, 2219, 24
18 出力端子

1611 サブフィルタ演算部

1612 サブフィルタ係数選択部

1809a~1809c, 2109a~2109c 乗算器

1810, 2110, 2217, 2417 加算器

2112a~2112c 帯域通過フィルタ

2213 デイレイ

2214 低域通過フィルタ

2215 高域通過フィルタ

2216 倍音生成装置

2413 ゼロクロス検出回路

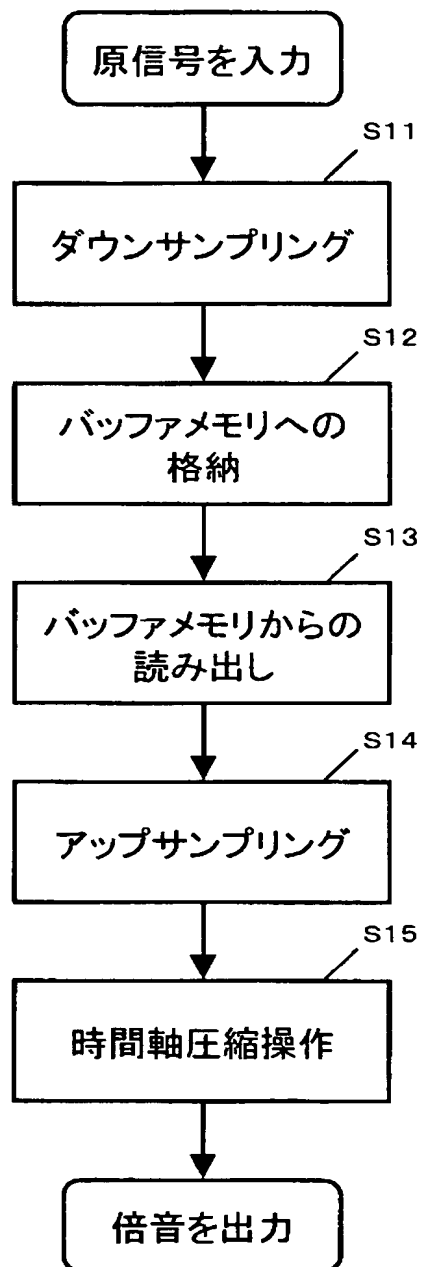
2414 RAM

2415 読み出しアドレスカウンタ

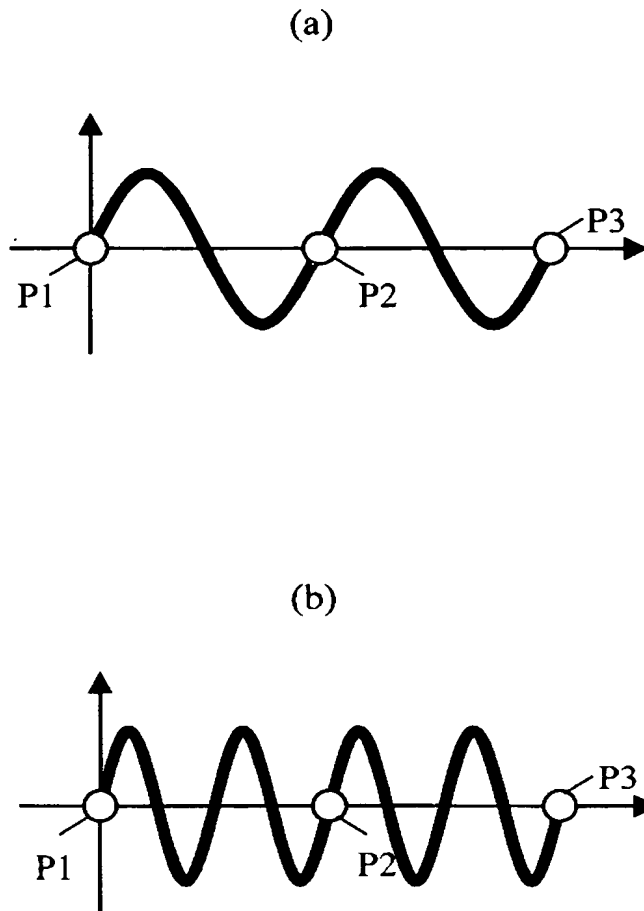
2416 書き込みアドレスカウンタ

【書類名】 図面

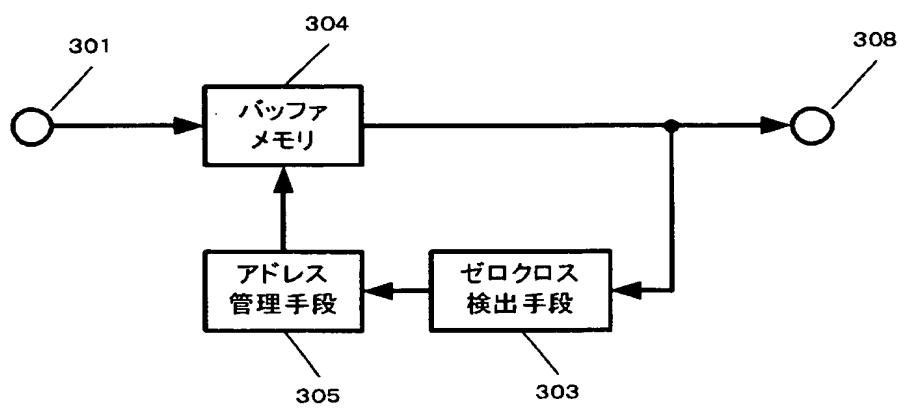
【図 1】



【図 2】

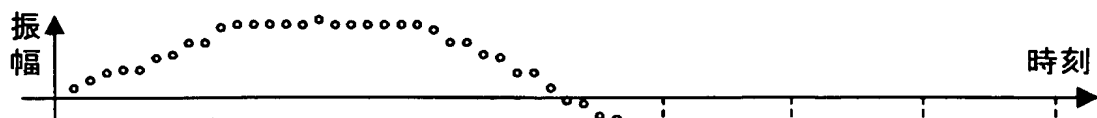


【図 3】

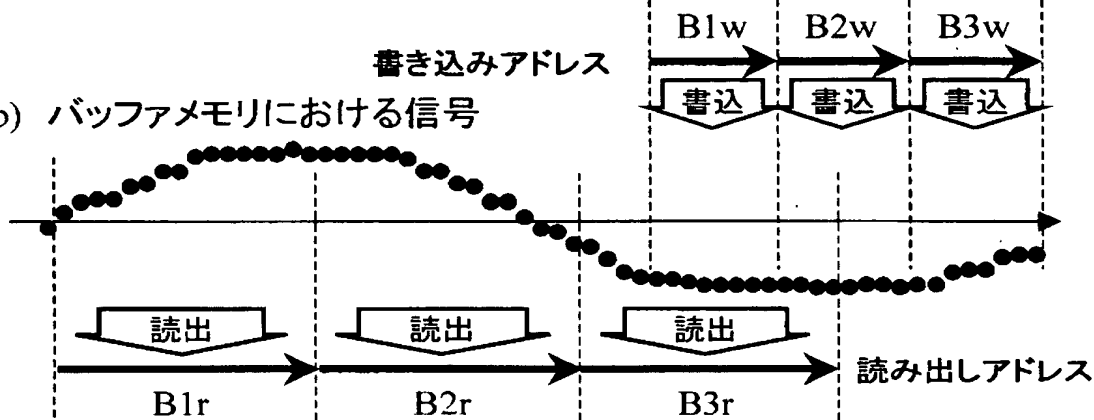


【図 4】

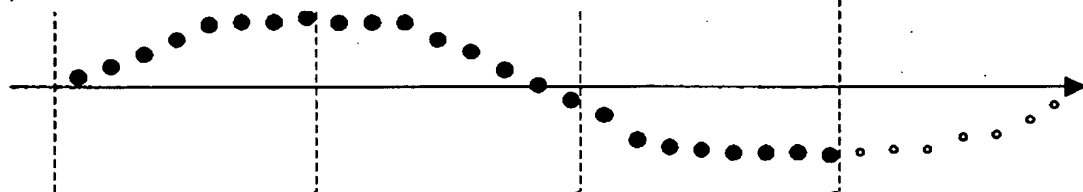
(a) 入力信号



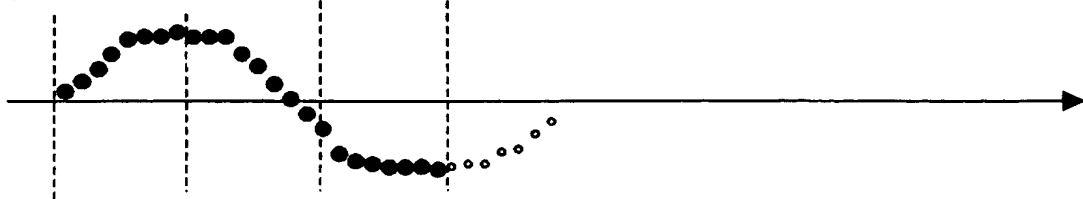
(b) バッファメモリにおける信号



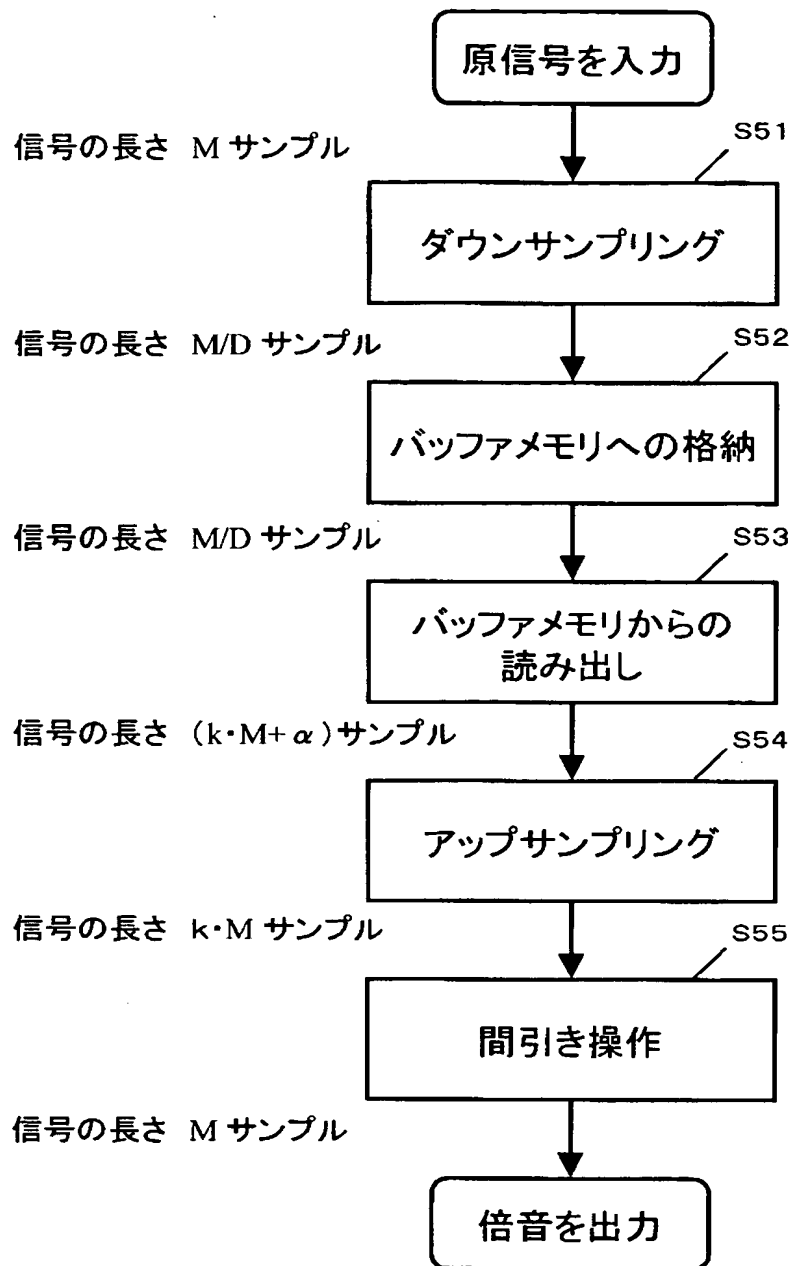
(c) バッファメモリからの読み出し信号



(d) 出力信号

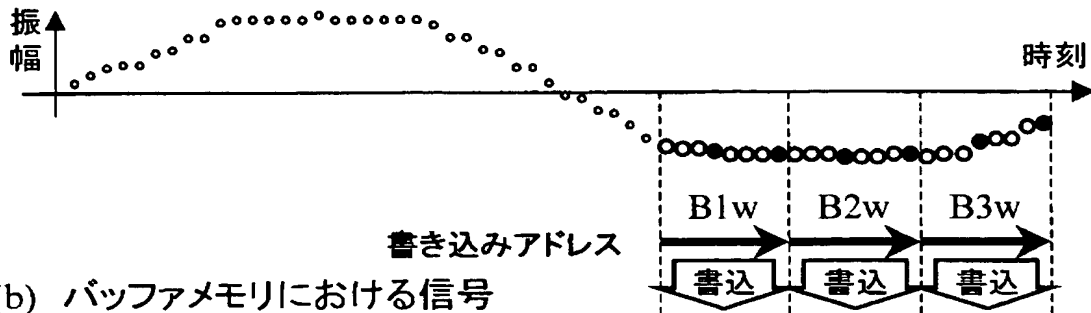


【図 5】

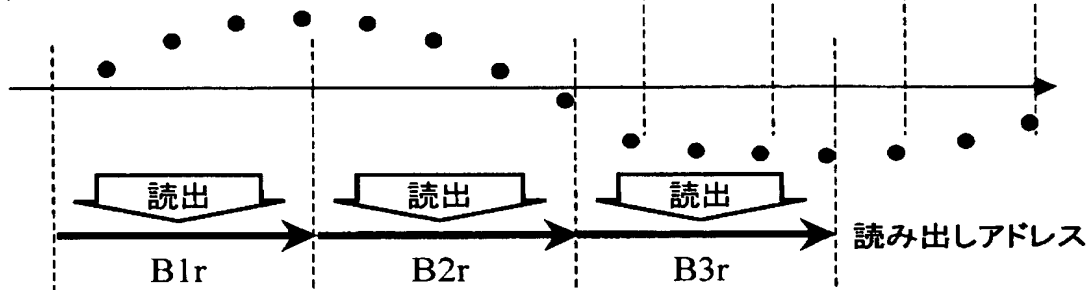


【図 6】

(a) ダウンサンプリング後の信号



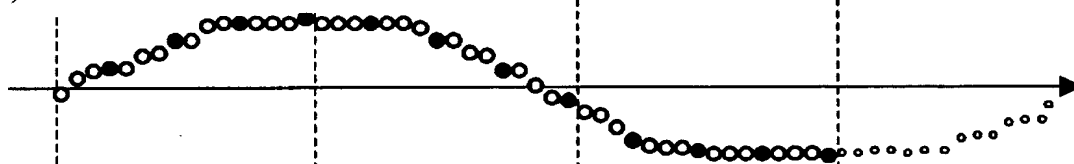
(b) バッファメモリにおける信号



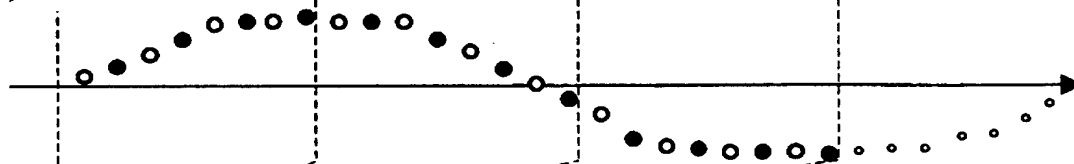
(c) バッファメモリからの読み出し信号



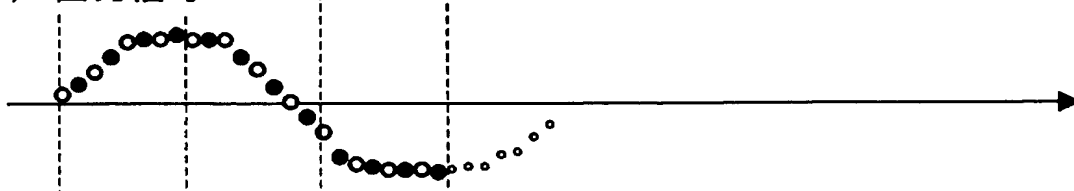
(d) アップサンプリング信号



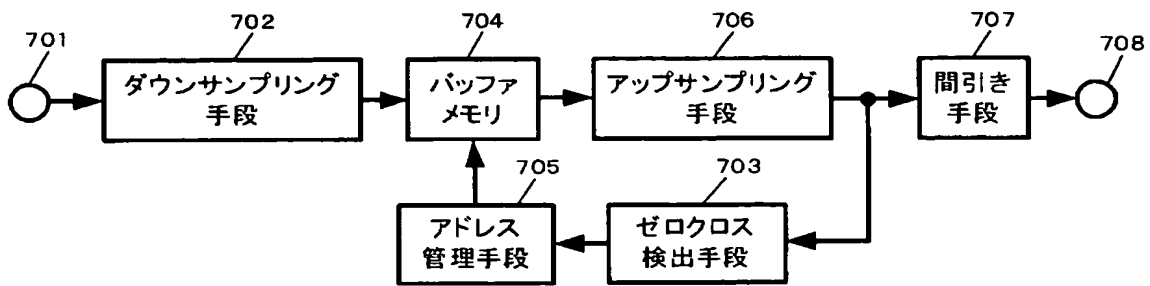
(e) 間引き信号



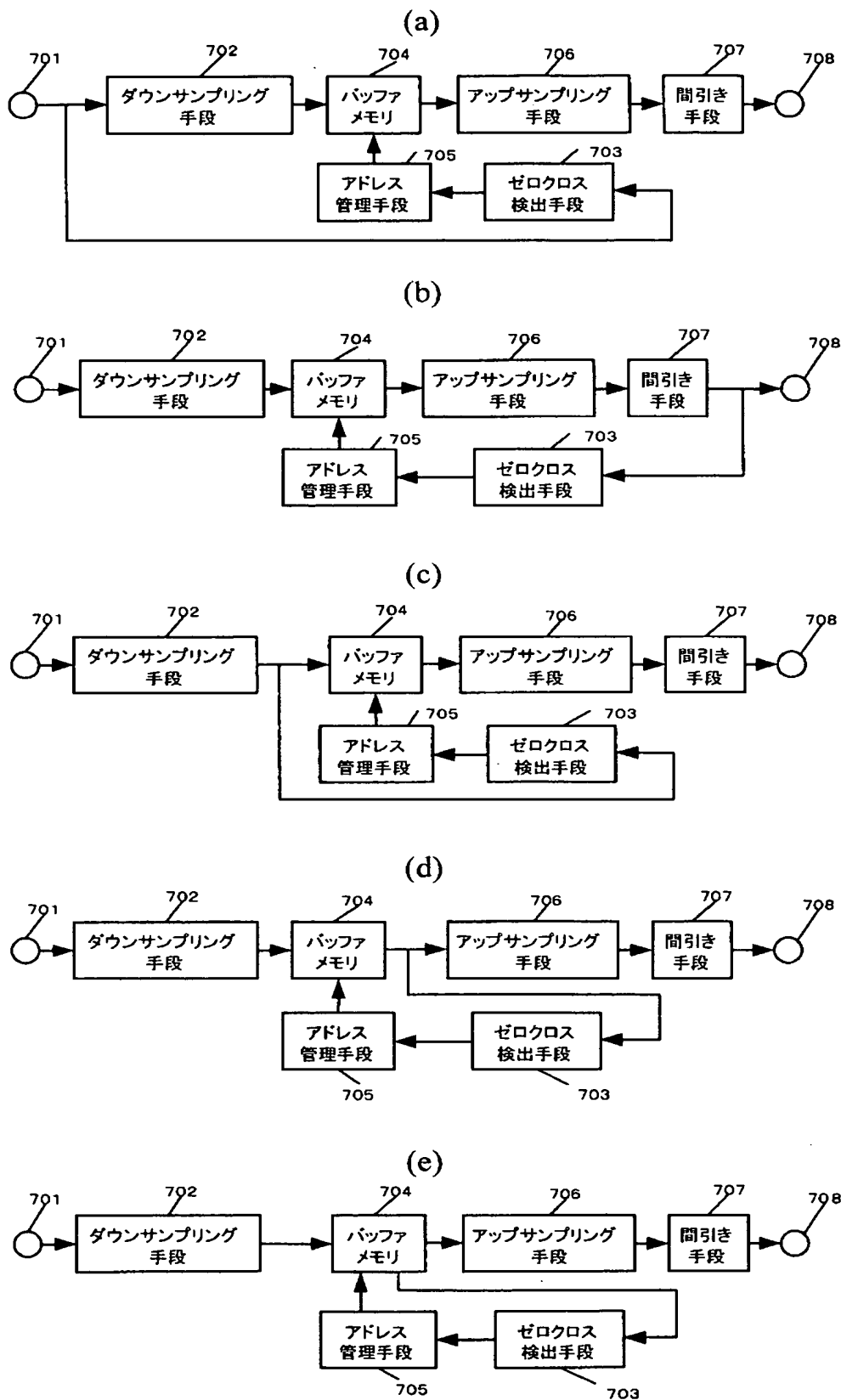
(f) 出力信号



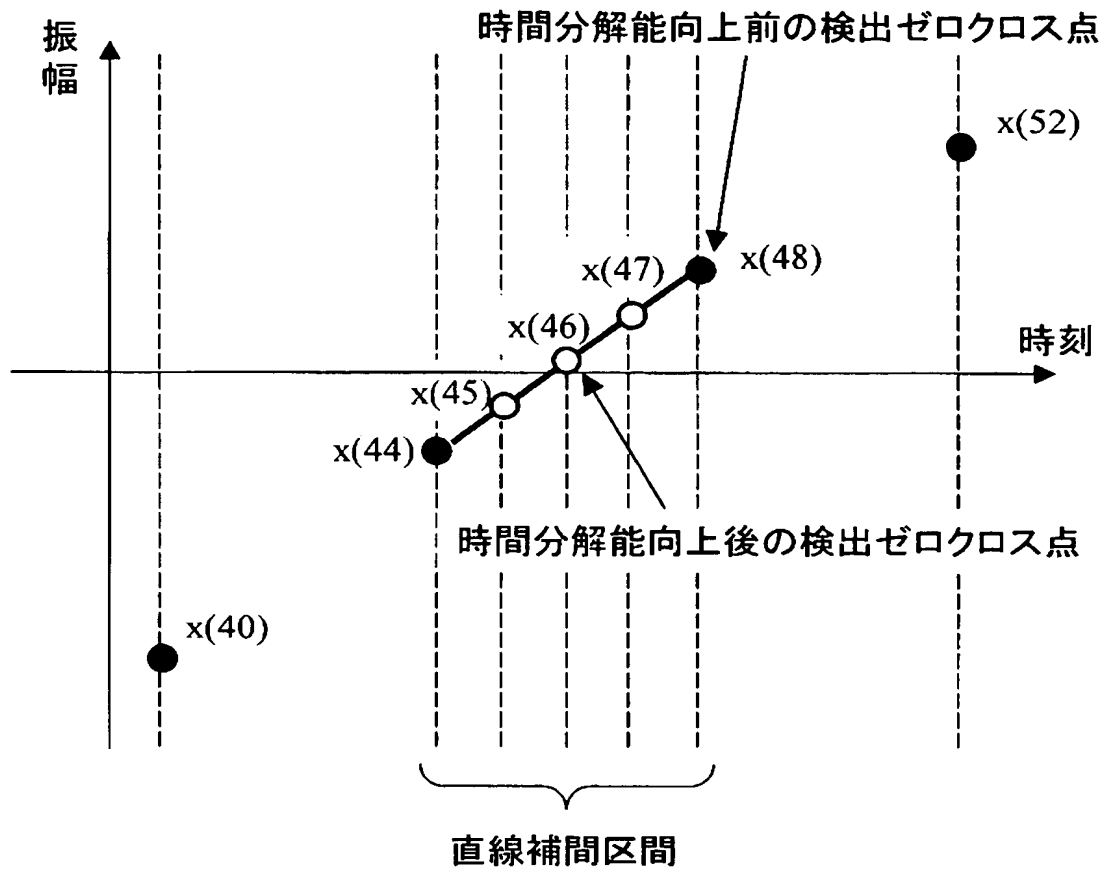
【図 7】



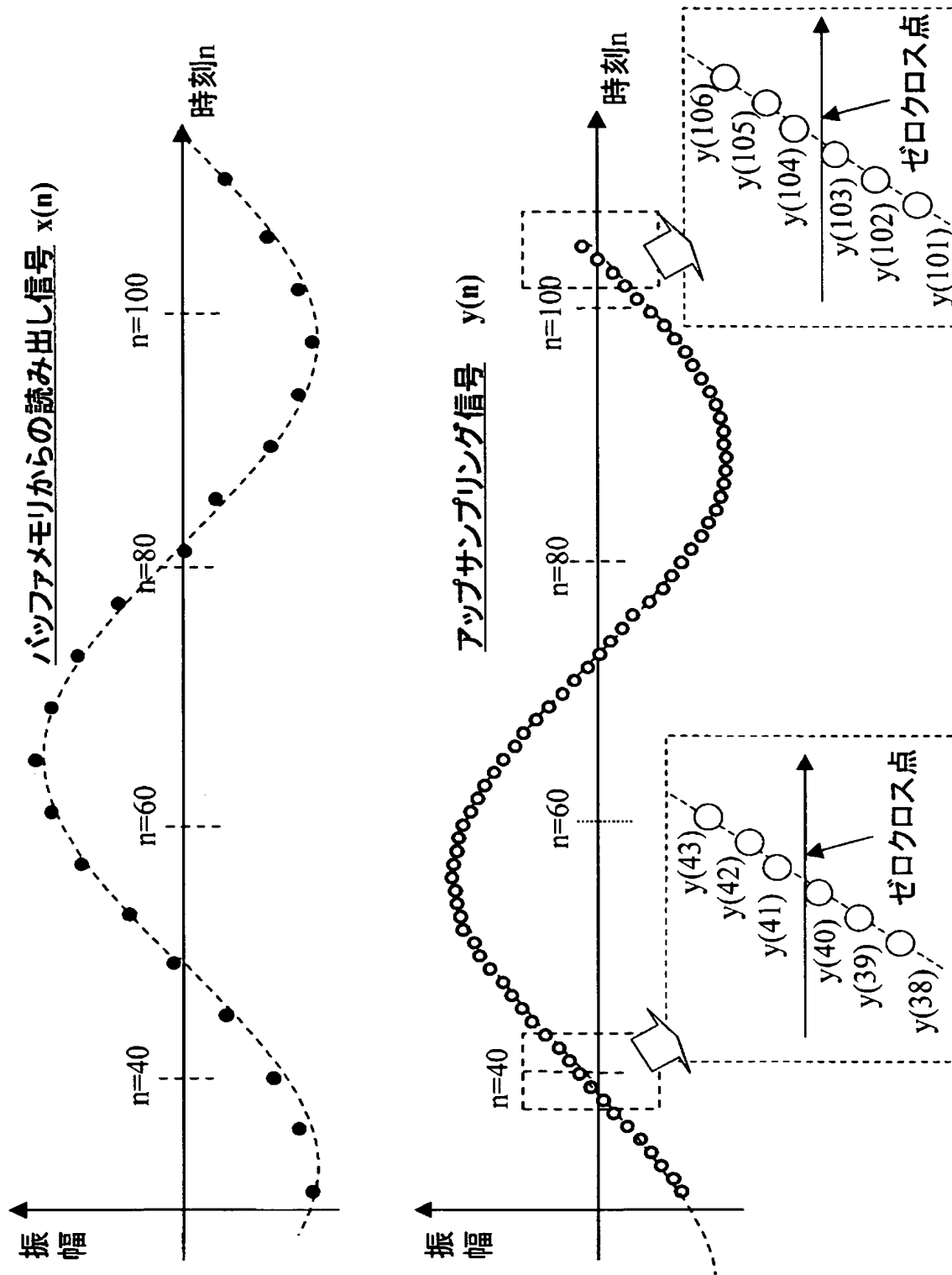
【図 8】



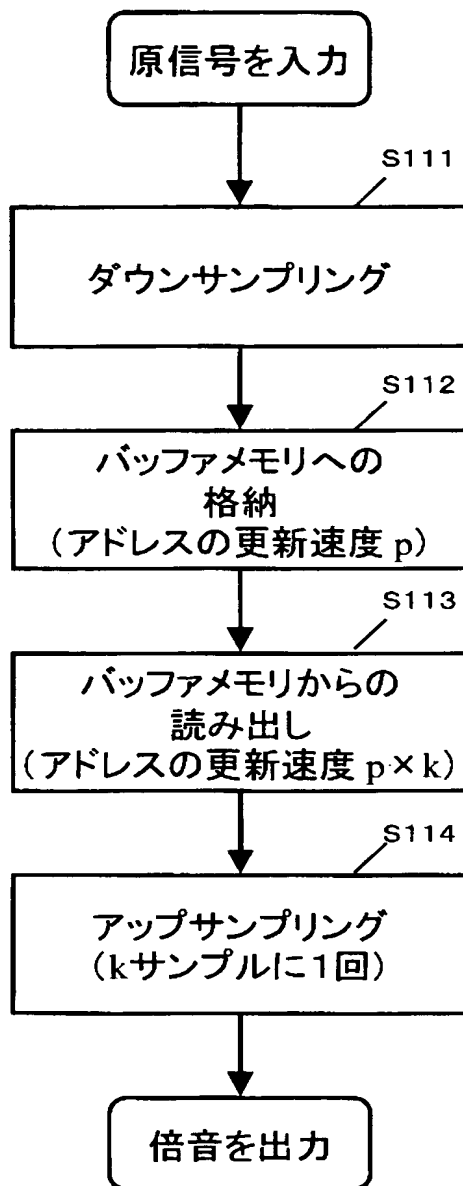
【図 9】



【図 10】

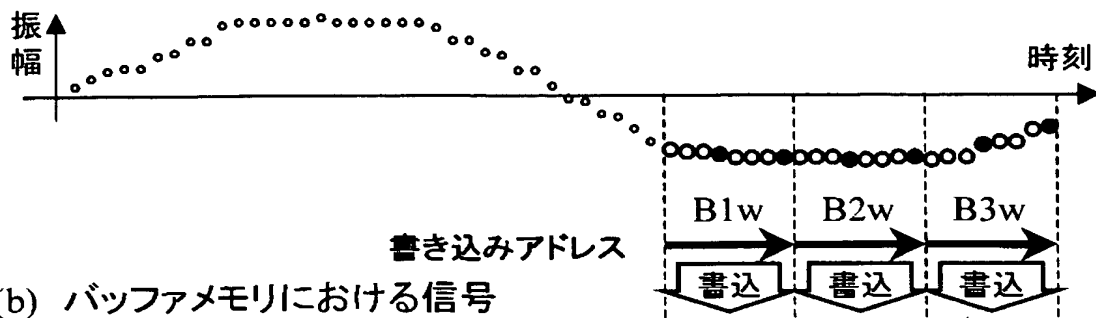


【図 11】

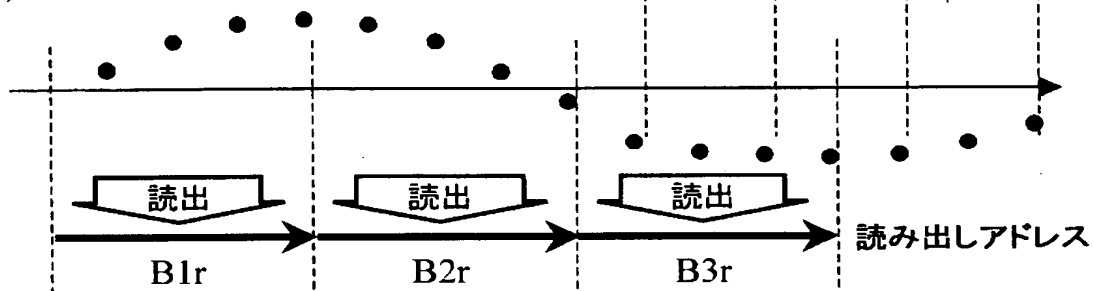


【図 12】

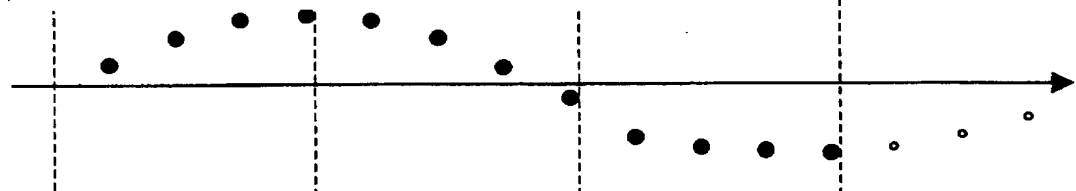
(a) ダウンサンプリング後の信号



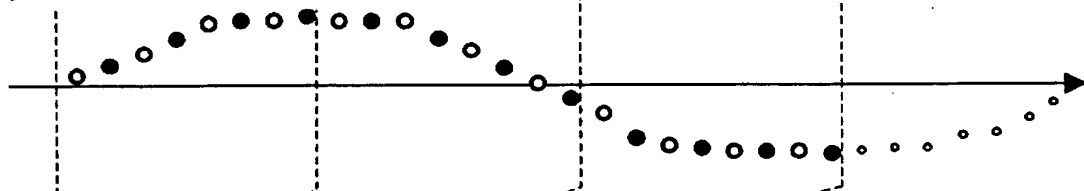
(b) バッファメモリにおける信号



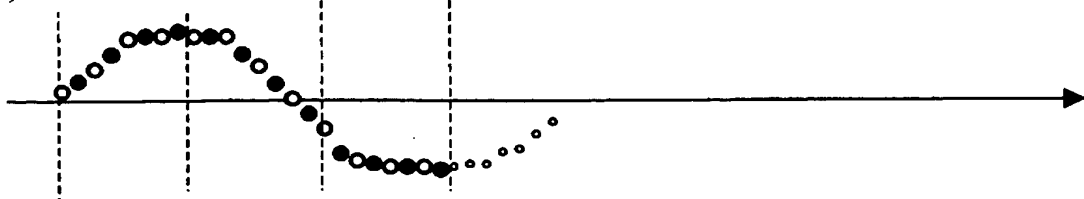
(c) バッファメモリからの読み出し信号



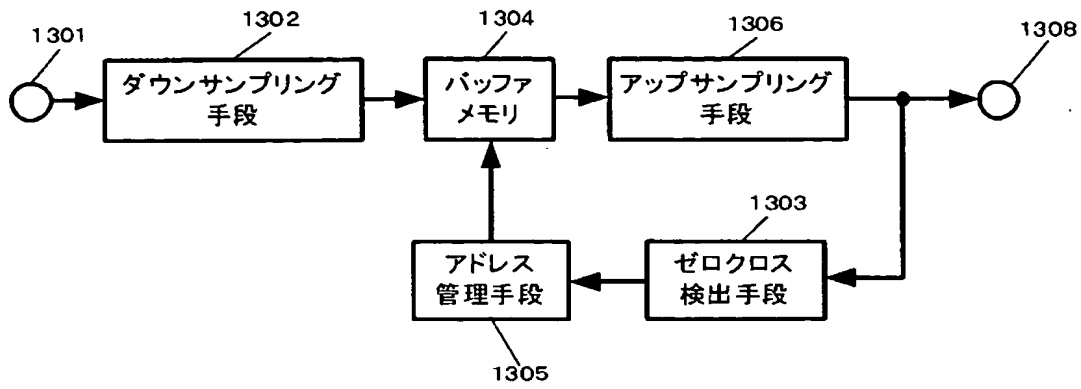
(d) アップサンプリング信号



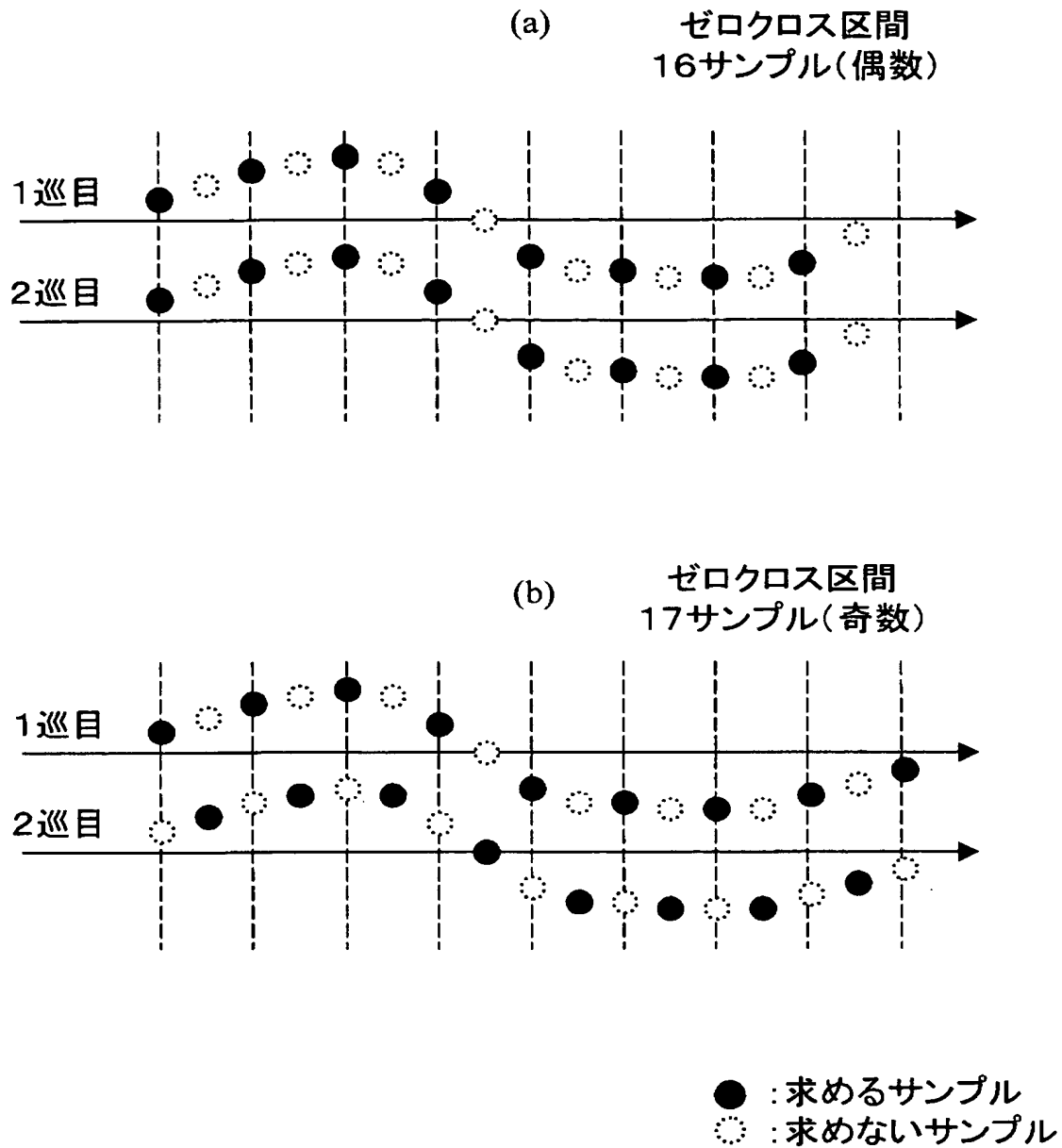
(e) 出力信号



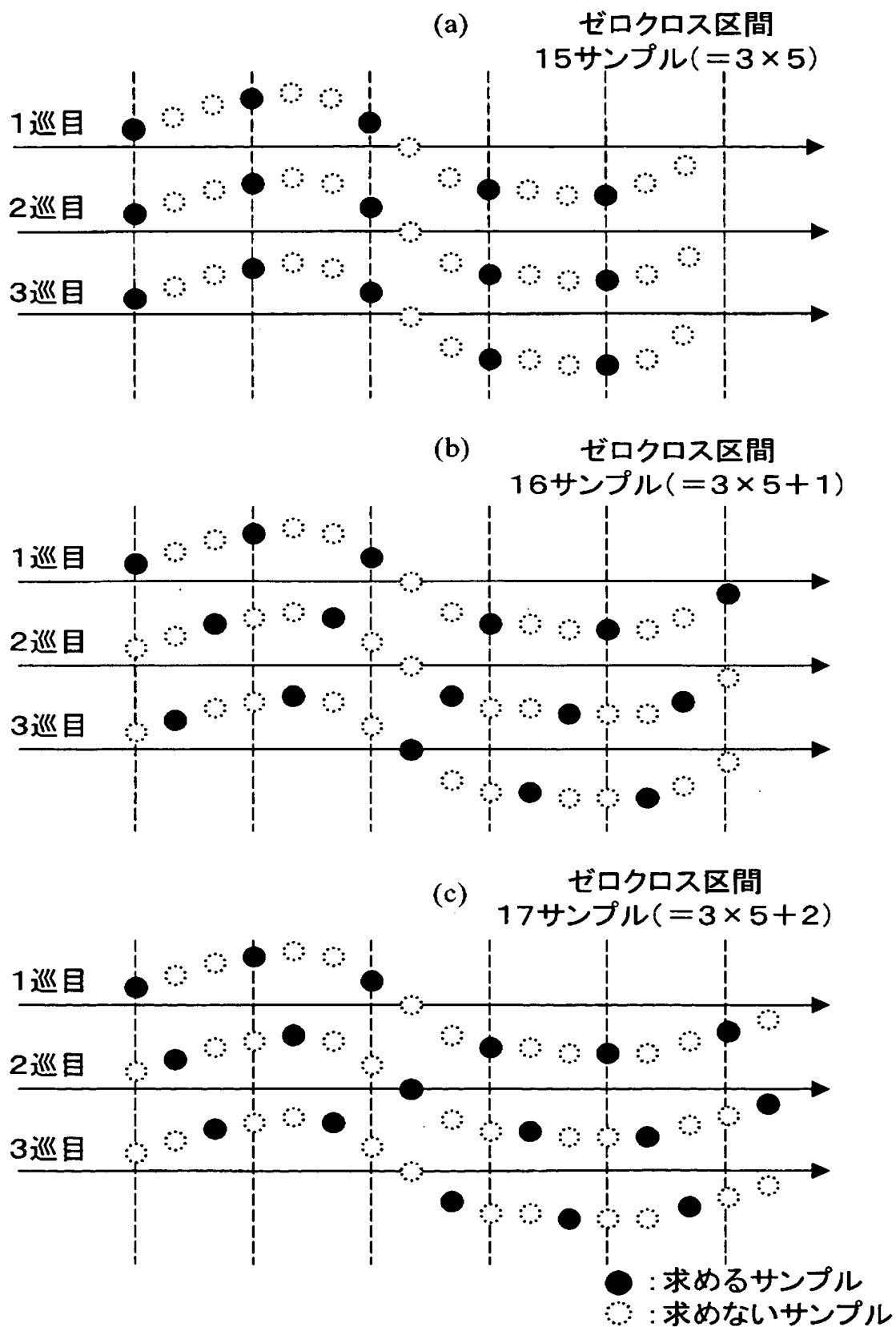
【図 13】



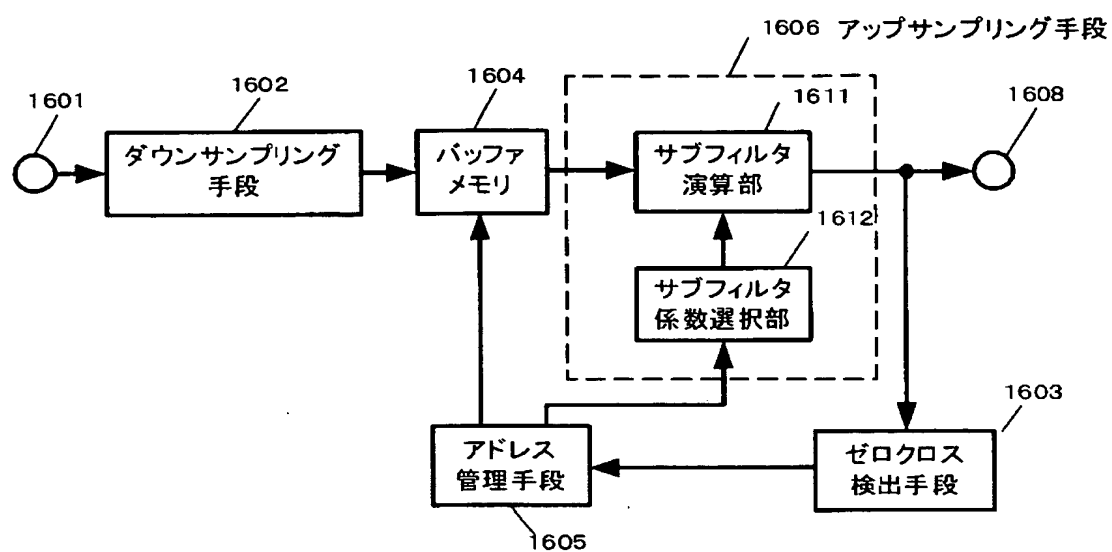
【図 14】



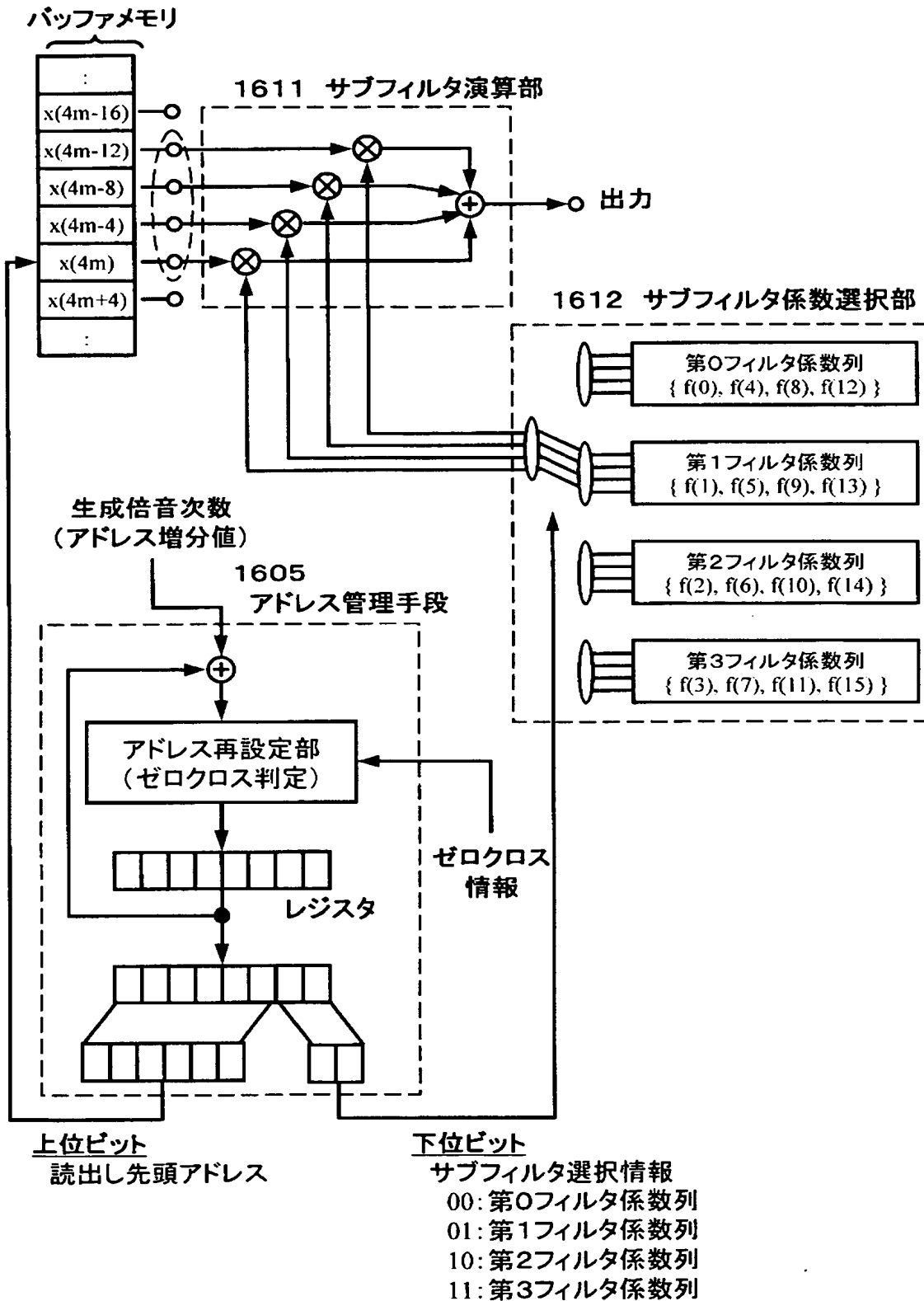
【図15】



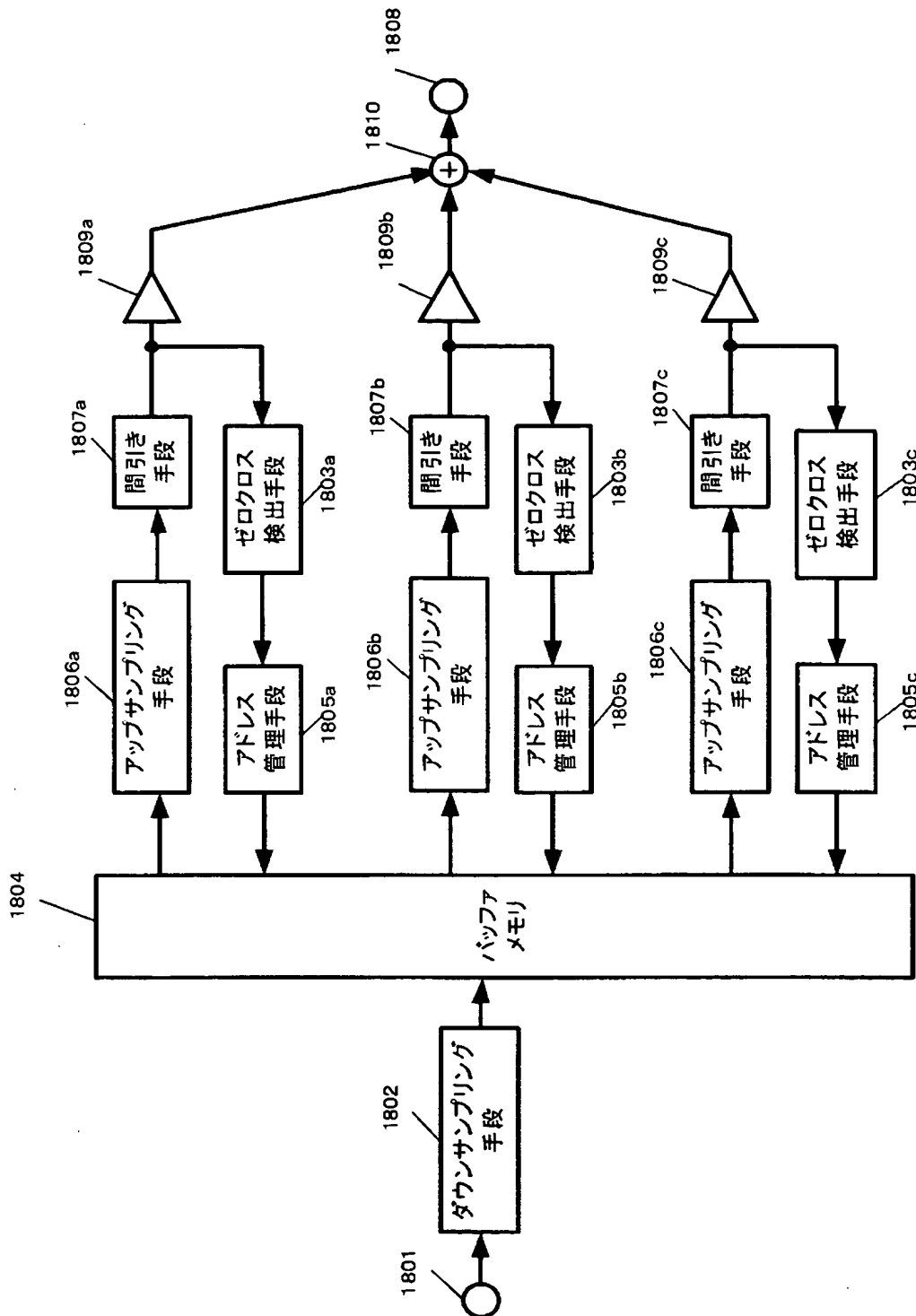
【図 16】



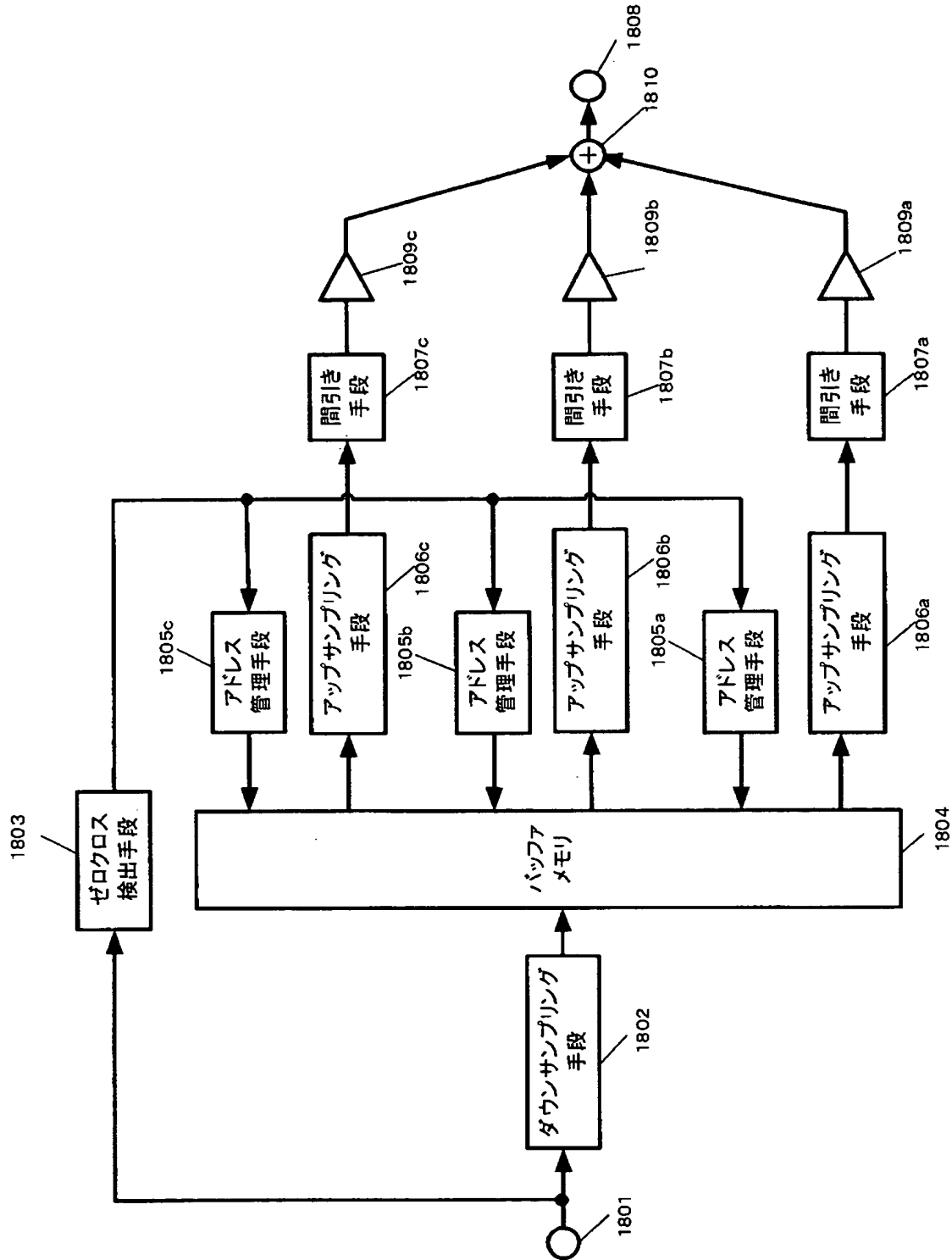
【図 17】



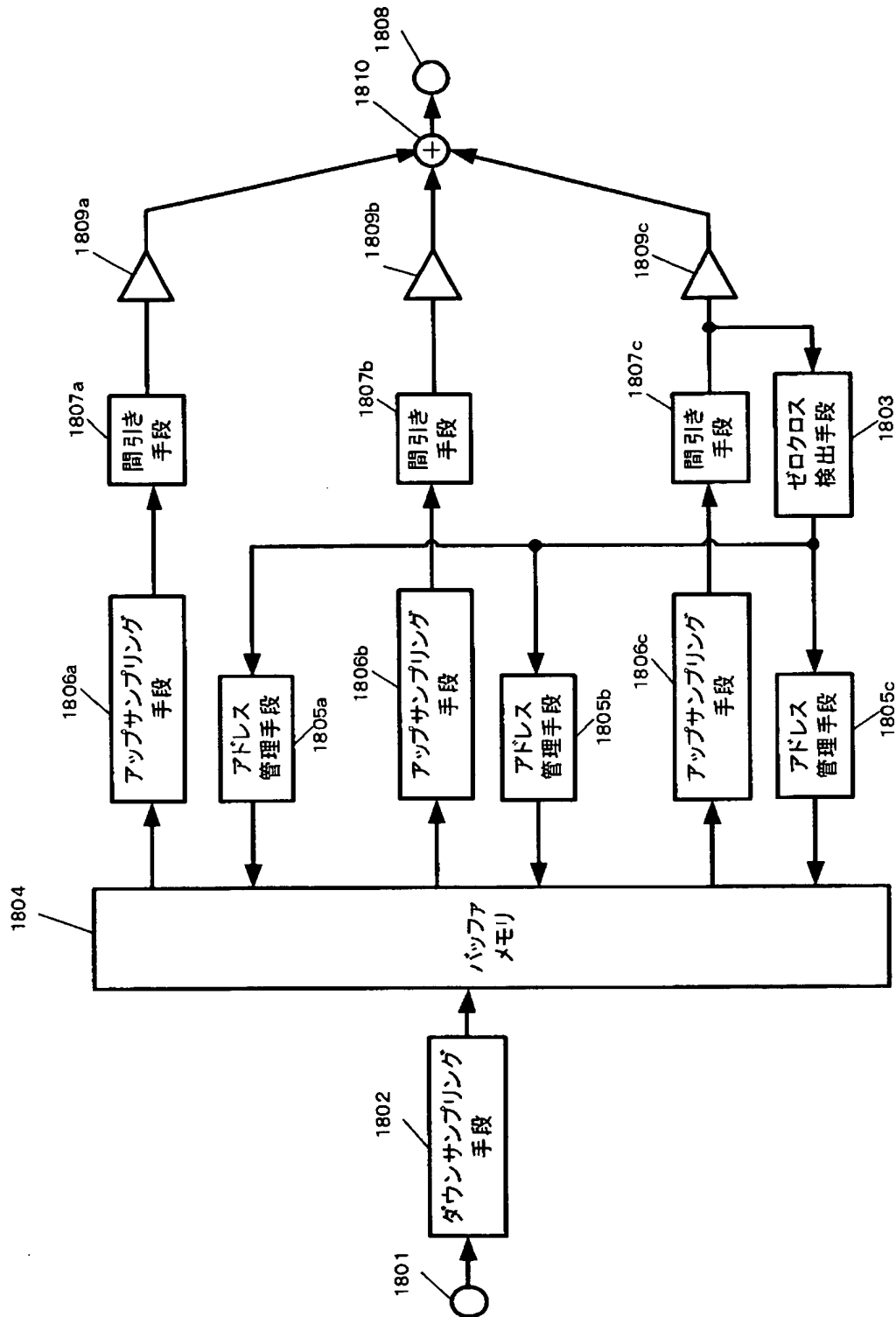
【図 18】



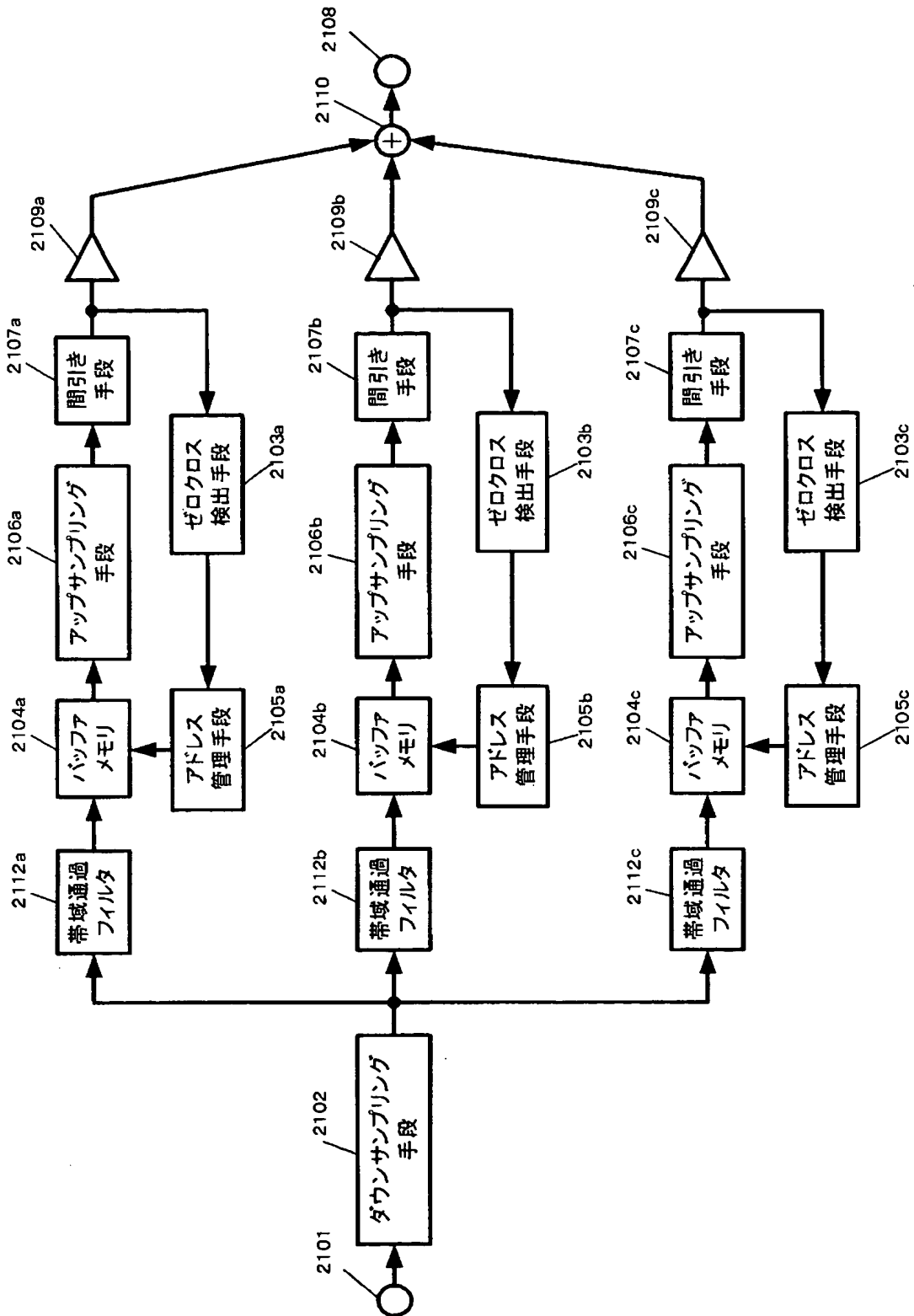
【図 19】



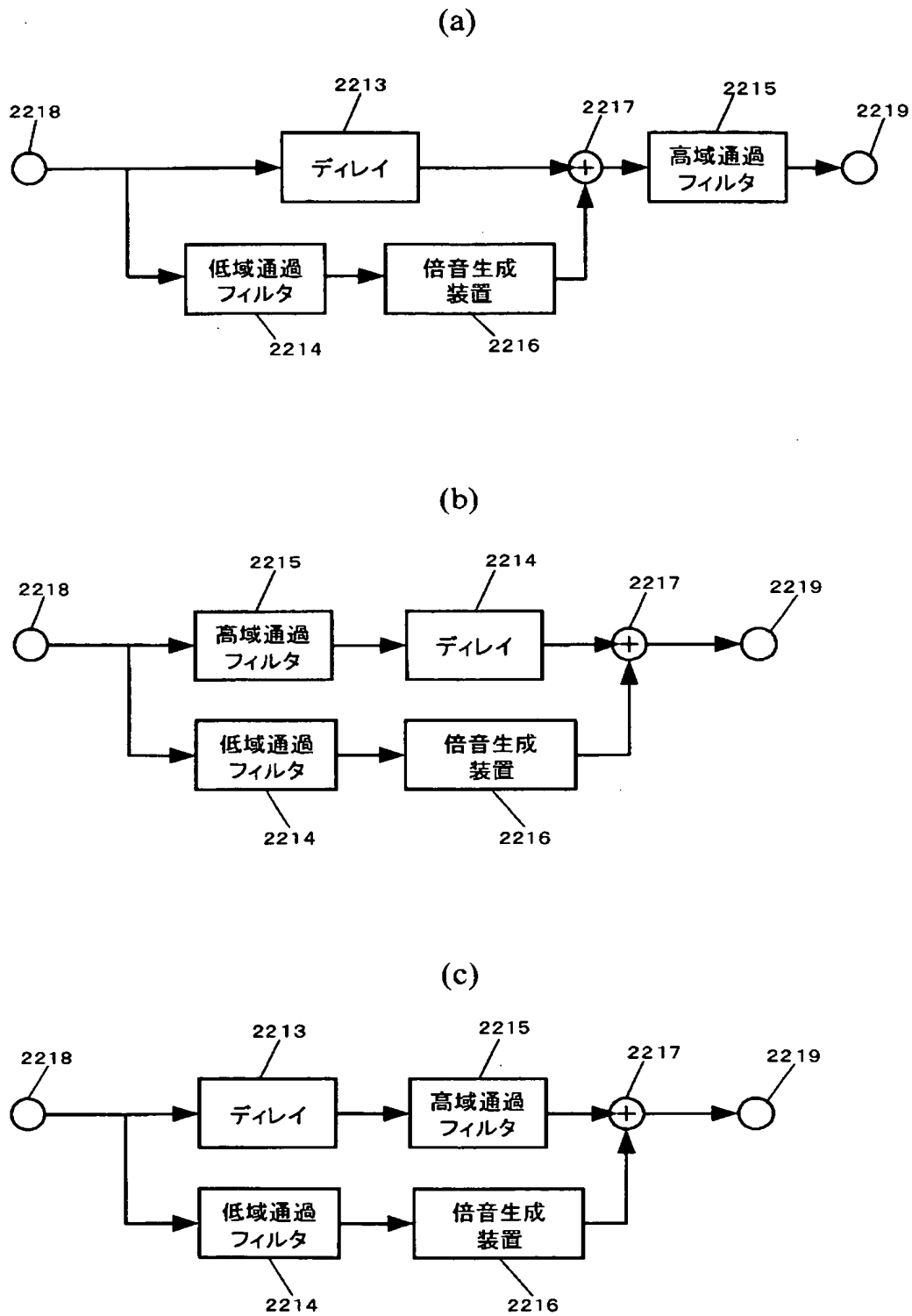
【図 20】



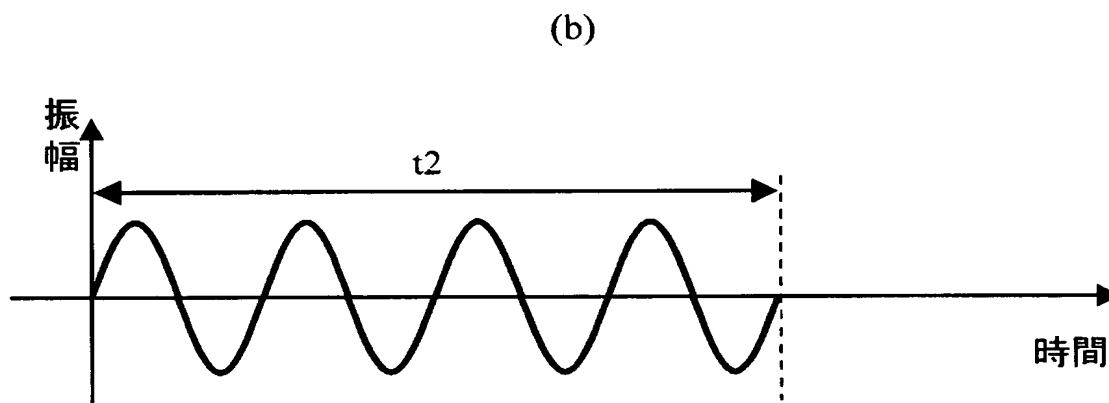
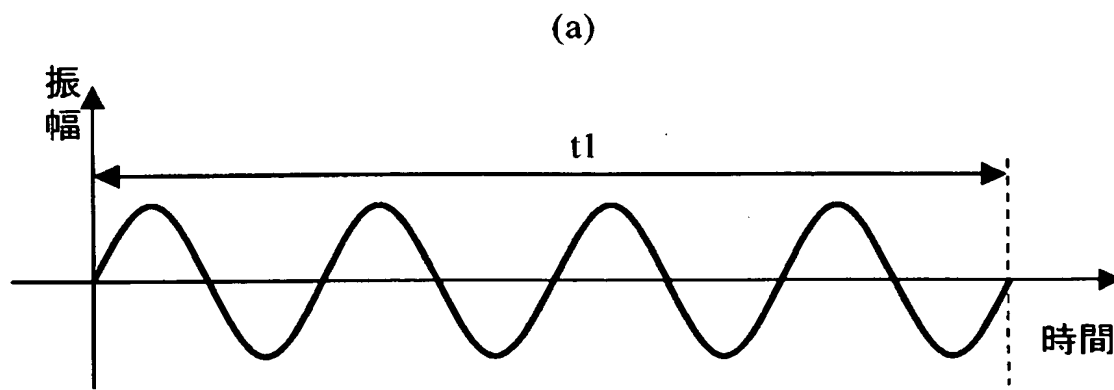
【図 21】



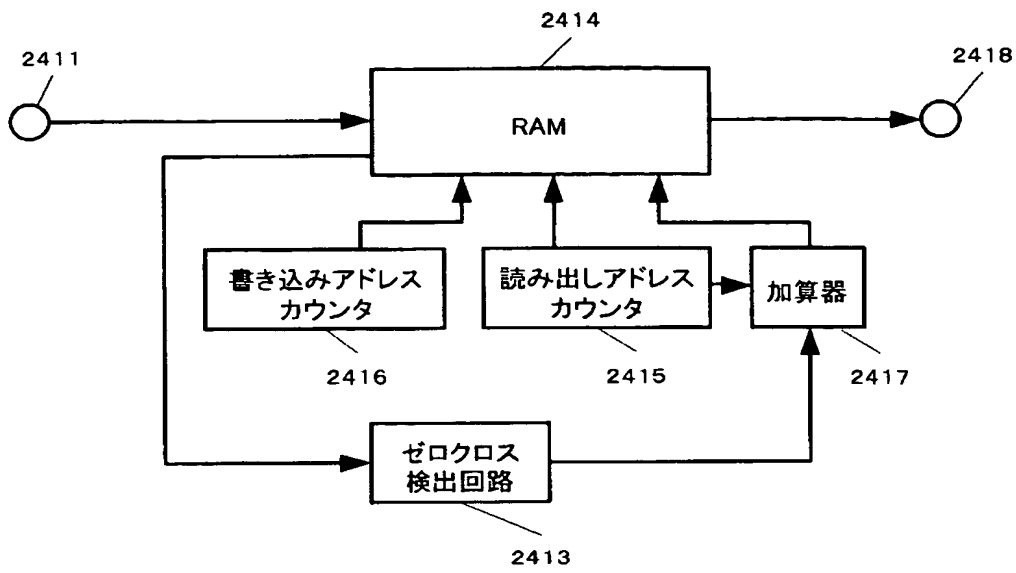
【図 22】



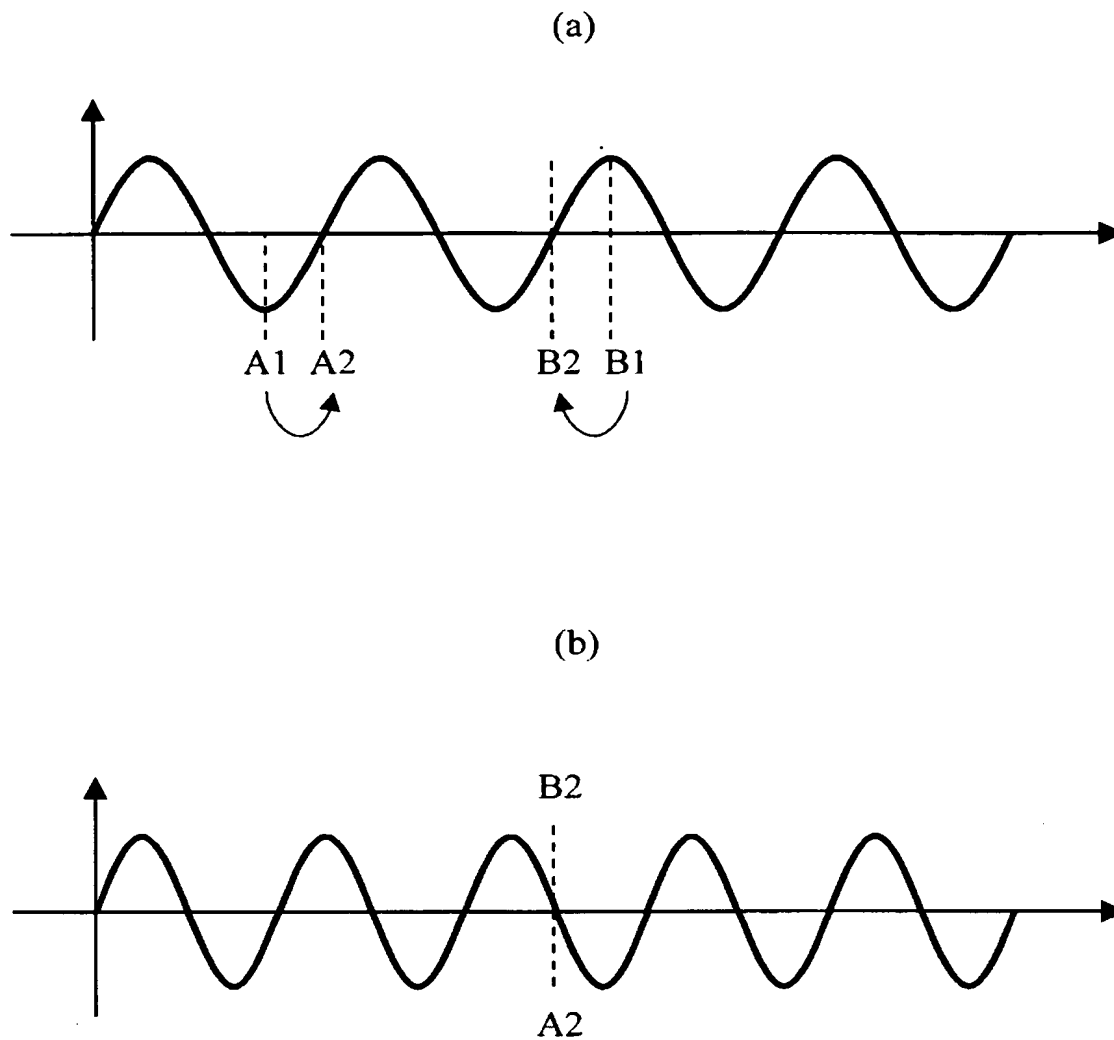
【図 23】



【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 バッファメモリの容量を削減した倍音生成方法および倍音生成装置を提供する。

【解決手段】 入力信号に対しダウンサンプリングを行う処理ステップS11と、ダウンサンプリング後の入力信号をバッファメモリに格納するステップS12と、バッファメモリから信号データを読み出すステップS13と、読み出された信号データに対しアップサンプリングを行う処理ステップS15と、アップサンプリングされた信号に対し時間軸圧縮操作を行う処理ステップS15から成り、処理ステップS15の出力が、入力信号の倍音となる。

【選択図】 図1

特願 2 0 0 3 - 1 1 9 9 7 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社